

Docket No.: 60188-671

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Kouji OKAMOTO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 06, 2003	:	Examiner:
	:	
For: REPRODUCTION SIGNAL PROCESSING DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

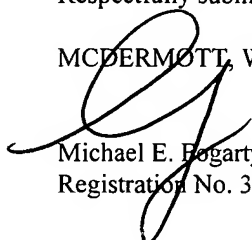
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP2002-363615, filed on December 16, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: October 6, 2003

60188-671

Kouji OKAMOTO et al.

日本国特許庁
JAPAN PATENT OFFICE

October 6, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年12月16日

出願番号

Application Number:

特願2002-363615

[ST.10/C]:

[JP2002-363615]

出願人

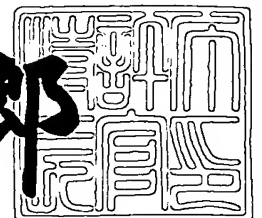
Applicant(s):

松下電器産業株式会社

2003年 6月 2日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3041827

【書類名】 特許願

【整理番号】 2037640116

【提出日】 平成14年12月16日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 20/10

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岡本 好史

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 河邊 章

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 再生信号処理装置

【特許請求の範囲】

【請求項 1】

入力されたアナログの再生信号を量子化してデジタルの再生信号データを出力する A/D 変換器と、

等化前後のデータに応じて制御される特性で上記再生信号データを等化する適応等化器と、

上記再生信号データに同期したクロック信号を出力する PLL 回路と、
を備えた再生信号処理装置であって、

上記再生信号に含まれるノイズを除去するアナログフィルタと、

上記 A/D 変換器と上記適応等化器との間に設けられ、固定された特性で上記再生信号データを等化するデジタルフィルタとを備え、

上記 PLL 回路は、上記デジタルフィルタの出力に基づいて、上記クロック信号を出力するように構成されたことを特徴とする再生信号処理装置。

【請求項 2】

請求項 1 の再生信号処理装置であって、

上記アナログフィルタは、ローパス特性を有するフィルタであることを特徴とする再生信号処理装置。

【請求項 3】

請求項 1 の再生信号処理装置であって、

上記デジタルフィルタは、高域強調特性を有するフィルタであることを特徴とする再生信号処理装置。

【請求項 4】

請求項 3 の再生信号処理装置であって、

上記デジタルフィルタは、さらに、上記アナログフィルタよりも低い周波数成分を通過させるローパス特性を有することを特徴とする再生信号処理装置。

【請求項 5】

請求項 1 の再生信号処理装置であって、

上記デジタルフィルタは、設定される 1 つ以上のタップ係数に応じた特性を有する F I R フィルタであることを特徴とする再生信号処理装置。

【請求項 6】

請求項 1 の再生信号処理装置であって、

さらに、再生信号処理を開始するのに先立って、上記デジタルフィルタにおける上記固定された特性を設定する制御部を備えたことを特徴とする再生信号処理装置。

【請求項 7】

請求項 6 の再生信号処理装置であって、

上記デジタルフィルタは、設定される 1 つ以上のタップ係数に応じた特性を有する F I R フィルタであり、

上記制御部は、複数種類のタップ係数のうちの何れかを選択して上記デジタルフィルタに設定することにより、上記固定された特性を設定するように構成されていることを特徴とする再生信号処理装置。

【請求項 8】

請求項 6 の再生信号処理装置であって、

上記制御部は、上記 P L L 回路における位相誤差に応じた値に基づいて、上記デジタルフィルタの上記固定された特性を設定するように構成されたことを特徴とする再生信号処理装置。

【請求項 9】

請求項 6 の再生信号処理装置であって、

上記制御部は、上記適応等化器における等化誤差に基づいて、上記デジタルフィルタの上記固定された特性を設定するように構成されたことを特徴とする再生信号処理装置。

【請求項 1 0】

請求項 6 の再生信号処理装置であって、

上記制御部は、上記適応等化器における等化前後のデータの差に基づいて、上記デジタルフィルタの上記固定された特性を設定するように構成されたことを特徴とする再生信号処理装置。

【請求項 1 1】

請求項 6 の再生信号処理装置であって、

上記制御部は、再生信号処理を開始するのに先立って、所定の特性と、上記適応等化フィルタを動作させて収束させた特性とが合成された特性を、上記デジタルフィルタにおける上記固定された特性として設定するように構成されていることを特徴とする再生信号処理装置。

【請求項 1 2】

請求項 1 1 の再生信号処理装置であって、

上記デジタルフィルタ、および上記適応等化フィルタは、それぞれ、設定される 1 つ以上のタップ係数に応じた特性を有する F I R フィルタを含み、

上記制御部は、上記デジタルフィルタにおける上記所定の特性を有する場合の上記タップ係数と、上記適応等化フィルタにおける上記収束させた特性を有する場合の上記タップ係数との積和演算によって得られる値を上記デジタルフィルタの上記タップ係数として設定するように構成されていることを特徴とする再生信号処理装置。

【請求項 1 3】

請求項 1 の再生信号処理装置であって、

上記 P L L 回路は、上記適応等化器を駆動する第 1 のクロック信号と、上記 A / D 変換器、および上記デジタルフィルタを駆動する、上記第 1 のクロック信号の 2 倍以上の整数倍の周波数の第 2 のクロック信号とを出力するように構成されていることを特徴とする再生信号処理装置。

【請求項 1 4】

記録媒体に記録された記録データを読み出す請求項 1 の再生信号処理装置であって、

上記アナログフィルタはローパス特性を有するフィルタであり、

上記アナログフィルタにおける通過させる周波数成分の上限が、上記記録データの読み出し速度に応じて変化するように構成されていることを特徴とする再生信号処理装置。

【請求項 1 5】

記録媒体に記録された記録データを読み出す請求項 1 の再生信号処理装置であって、

上記 PLL 回路は、上記適応等化器を駆動する第 1 のクロック信号と、上記 A/D 変換器、および上記ディジタルフィルタを駆動する第 2 のクロック信号とを出力するように構成され、

上記第 1 のクロック信号の周波数は、上記記録データの読み出し速度に応じた周波数に設定される一方、

上記第 2 のクロック信号の周波数は、上記記録データの読み出し速度に係らずほぼ一定になるように設定されることを特徴とする再生信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光ディスク等の記録媒体に記録されたデータや伝送されたデータを再生する再生信号処理装置に関する技術に属するものである。

【0002】

【従来の技術】

近年、インターネットの急速な普及等に伴って、個人が扱う情報などの情報量が膨大なものとなってきている。このため、情報を記録するためのストレージ装置の大容量化への要求が急速に増大している。上記ストレージ装置の大容量化を図るためには、記録媒体への記録密度を高くする必要がある。ところが、記録密度が高くなるほど、符号間干渉の影響が大きくなり、再生される信号波形の品質が劣化しがちになる。それゆえ、分解能を高くして記録密度を大幅に高くすることが困難である。

【0003】

そこで、高い分解能および再生能力を得るために、PRML (Partial Response Maximum Likelihood) と呼ばれる再生信号処理方式が知られている。この種の再生信号処理装置は、例えば図 24 に示すような構成を有している。同図において、

ピックアップ 901 は、スピンドルモータ 902 によって回転駆動される記録

媒体 9 0 3 に記録されている記録データを読み取り、これに応じた再生信号を出力するようになっている。

【 0 0 0 4 】

可変利得増幅器 9 0 4 (VGA) は、再生信号の振幅を、後述する A/D 変換器 9 0 9 の入力ダイナミックレンジに適合するように自動調整するものである。この可変利得増幅器 9 0 4 は、ゲイン調整回路 9 0 5 により、A/D 変換器 9 0 9 からの出力に基づいて制御されるようになっている。

【 0 0 0 5 】

アナログフィルタ 9 0 6 は、高域雑音除去、およびシステム（再生信号処理装置）の PR 等化特性に応じたプリイコライジング処理（具体的には例えば高域強調）を行うようになっている。

【 0 0 0 6 】

加算回路 9 0 7 は、A/D 変換器 9 0 9 からの出力に基づいたオフセット調整回路 9 0 8 の制御によって、再生信号の平均のレベルが 0 になるように、再生信号をオフセットさせるようになっている。

【 0 0 0 7 】

A/D 変換器 9 0 9 は、再生信号を量子化して、デジタルの再生信号データを出力するようになっている。

【 0 0 0 8 】

デジタル信号処理部 9 1 0 は、適応等化フィルタ 9 1 1 とビタビ復号器 9 1 2 とを備え、A/D 変換器 9 0 9 から出力された再生信号データに基づいて、2 値の記録データ（抽出データ）を抽出するようになっている。

【 0 0 0 9 】

PLL 回路 9 1 3 (PLL : Phase Locked Loop) は、A/D 変換器 9 0 9 から出力された再生信号データに基づいて、抽出データに同期したクロック信号を生成し、A/D 変換器 9 0 9 およびデジタル信号処理部 9 1 0 に供給するとともに、図示しない抽出データの処理部に出力するようになっている。

【 0 0 1 0 】

また、上記デジタル信号処理部 9 1 0 を構成する適応等化フィルタ 9 1 1 は

、例えば図 2 5 に示すように、フィルタ部 9 2 1 と、タップ係数制御部 9 2 2 とを備えている。

【 0 0 1 1 】

フィルタ部 9 2 1 は、シフトレジスタ 9 2 1 a、乗算器 9 2 1 b…、および加算器 9 2 1 c を有する F I R フィルタによって構成されている。

【 0 0 1 2 】

タップ係数制御部 9 2 2 は、上記乗算器 9 2 1 b…にそれぞれ入力されるタップ係数を制御するもので、期待値推定部 9 2 2 a と、加算器 9 2 2 b と、タップ係数更新部 9 2 2 c とを有し、上記タップ係数を等化誤差が小さくなる最適値に自動的に更新（補正）することにより、ビタビ復号器 9 1 2 の特性に対応した所定の P R 等化が行われるようになっている。上記タップ係数補正のアルゴリズムとしては、例えば L M S (Least Mean Square) が用いられる。

【 0 0 1 3 】

上記のように構成された再生信号処理装置では、アナログフィルタ 9 0 6 によって、アナログの再生信号に対する高域雑音除去、およびプリイコライジング処理が行われる。このような処理が施された再生信号を A / D 変換して得られる再生信号データに基づいて、P L L 回路 9 1 3 によるクロック信号の生成がなされることにより、A / D 変換器 9 0 9 による適切なサンプリング等が行われるとともに、適応等化フィルタ 9 1 1 による P R 等化も適切に行われる。これによって、高精度な記録データの再生を行わせることができ、誤り率の増大を招くことなく、記録密度の高密度化を図ることが比較的容易になる。

【 0 0 1 4 】

ところが、上記のようなアナログフィルタ 9 0 6 によるプリイコライジングを行う方式では、特性の調整が困難であるため、記録媒体 9 0 3 などの経時変化や環境条件の変動に起因する再生信号の特性変化に追従させて確実に記録データを再生させることが容易ではない。そこで、例えば特許文献 1 に記載されているように、A / D 変換器と P L L 回路との間に適応等化器を設け、P L L 回路に入力される再生信号データに対してのイコライジング特性を高めるようにした構成が知られている。

【 0 0 1 5 】

【特許文献 1】

特開 2 0 0 1 - 1 8 4 7 9 5 号公報（段落 0 0 1 8、第 2 1 図）

【 0 0 1 6 】

【発明が解決しようとする課題】

しかしながら、上記のように適応等化器からの出力に基づいて PLL 回路を動作させる構成では、パラメータの設定等が、アナログフィルタ 9 0 6 の調整よりは比較的容易であるものの、やはり複雑、困難なものであり、必ずしも確実に記録データの再生を行わせることができない場合があるという問題点を有していた。これは、適応等化器も PLL 回路も共にフィードバックループを構成するものであり、これらの 2 つのループが 2 重に存在することになるために、互いに影響を及ぼし合ってフィードバックループが発散してしまうことがあるためではないかと推定される。

【 0 0 1 7 】

上記の問題に鑑み、本発明は、高精度な記録データの再生を確実、かつ容易に行わせ得るようにして、記録密度の大幅な向上を可能にすることを課題とする。

【 0 0 1 8 】

【課題を解決するための手段】

上記の課題を解決するために、請求項 1 の発明が講じた解決手段は、

入力されたアナログの再生信号を量子化してデジタルの再生信号データを入力する A/D 変換器と、

等化前後のデータに応じて制御される特性で上記再生信号データを等化する適応等化器と、

上記再生信号データに同期したクロック信号を出力する PLL 回路と、
を備えた再生信号処理装置であって、

上記再生信号に含まれるノイズを除去するアナログフィルタと、

上記 A/D 変換器と上記適応等化器との間に設けられ、固定された特性で上記再生信号データを等化するデジタルフィルタとを備え、

上記 PLL 回路は、上記デジタルフィルタの出力に基づいて、上記クロック

信号を出力するように構成されたことを特徴とする。

【 0 0 1 9 】

また、請求項 2 の発明は、

請求項 1 の再生信号処理装置であって、

上記アナログフィルタは、ローパス特性を有するフィルタであることを特徴とする。

【 0 0 2 0 】

また、請求項 3 の発明は、

請求項 1 の再生信号処理装置であって、

上記デジタルフィルタは、高域強調特性を有するフィルタであることを特徴とする。

【 0 0 2 1 】

これらによれば、デジタルフィルタによって等化（プリコライジング）された再生信号データが PLL 回路に入力されるので、クロック信号を高い精度で再生信号データに同期させることができ、A/D 変換器によるサンプリングや適応等化器による等化などを適切に行わせることが容易にできる。しかも、デジタルフィルタの特性は固定されているので、PLL 回路におけるフィードバックループの発散なども容易に抑制することができる。したがって、高精度な記録データの再生を確実、かつ容易に行わせることができる。

【 0 0 2 2 】

また、請求項 4 の発明は、

請求項 3 の再生信号処理装置であって、

上記デジタルフィルタは、さらに、上記アナログフィルタよりも低い周波数成分を通過させるローパス特性を有することを特徴とする。

【 0 0 2 3 】

これにより、例えばアナログフィルタには A/D 変換による折り返しノイズの影響を抑制し得る程度のローパス特性を持たせ、デジタルフィルタに、より厳密なローパス特性を持たせることによって、全体として適切な特性が得られるようにすることができるとともに、アナログフィルタの構成を簡素化して、半導体

集積回路を構成する場合のチップ面積を小さく抑えることも容易にできる。

【 0 0 2 4 】

また、請求項 5 の発明は、

請求項 1 の再生信号処理装置であって、

上記デジタルフィルタは、設定される 1 つ以上のタップ係数に応じた特性を有する F I R フィルタであることを特徴とする。

【 0 0 2 5 】

これにより、デジタルフィルタを容易に構成することができる。

【 0 0 2 6 】

また、請求項 6 の発明は、

請求項 1 の再生信号処理装置であって、

さらに、再生信号処理を開始するのに先立って、上記デジタルフィルタにおける上記固定された特性を設定する制御部を備えたことを特徴とする。

【 0 0 2 7 】

また、請求項 7 の発明は、

請求項 6 の再生信号処理装置であって、

上記デジタルフィルタは、設定される 1 つ以上のタップ係数に応じた特性を有する F I R フィルタであり、

上記制御部は、複数種類のタップ係数のうちの何れかを選択して上記デジタルフィルタに設定することにより、上記固定された特性を設定するように構成されていることを特徴とする。

【 0 0 2 8 】

また、請求項 8 の発明は、

請求項 6 の再生信号処理装置であって、

上記制御部は、上記 P L L 回路における位相誤差に応じた値に基づいて、上記デジタルフィルタの上記固定された特性を設定するように構成されたことを特徴とする。

【 0 0 2 9 】

また、請求項 9 の発明は、

請求項 6 の再生信号処理装置であって、

上記制御部は、上記適応等化器における等化誤差に基づいて、上記デジタルフィルタの上記固定された特性を設定するように構成されたことを特徴とする。

【 0 0 3 0 】

また、請求項 1 0 の発明は、

請求項 6 の再生信号処理装置であって、

上記制御部は、上記適応等化器における等化前後のデータの差に基づいて、上記デジタルフィルタの上記固定された特性を設定するように構成されたことを特徴とする。

【 0 0 3 1 】

これらによれば、再生信号データの品質がより確実に高くなるようにデジタルフィルタの特性が設定されるので、高精度な記録データの再生を一層、確実、かつ容易に行わせることができる。

【 0 0 3 2 】

また、請求項 1 1 の発明は、

請求項 6 の再生信号処理装置であって、

上記制御部は、再生信号処理を開始するのに先立って、所定の特性と、上記適応等化フィルタを動作させて収束させた特性とが合成された特性を、上記デジタルフィルタにおける上記固定された特性として設定するように構成されていることを特徴とする。

【 0 0 3 3 】

また、請求項 1 2 の発明は、

請求項 1 1 の再生信号処理装置であって、

上記デジタルフィルタ、および上記適応等化フィルタは、それぞれ、設定される 1 つ以上のタップ係数に応じた特性を有する F I R フィルタを含み、

上記制御部は、上記デジタルフィルタにおける上記所定の特性を有する場合の上記タップ係数と、上記適応等化フィルタにおける上記収束させた特性を有する場合の上記タップ係数との積和演算によって得られる値を上記デジタルフィルタの上記タップ係数として設定するように構成されていることを特徴とする。

【 0 0 3 4 】

これらによれば、ディジタルフィルタに、ローパス機能や高域強調機能等に加えて、再生信号の群遅延の補正機能なども併せ持たせることなどができるので、例えばディジタルフィルタを備えていない従来の装置における適応等化フィルタから出力されるのに近い高品質な再生信号データがPLL回路に入力されるようにすることができる。それゆえ、より正確なクロック信号を得ることができ、さらに高精度な記録データの再生を確実に、かつ容易に行わせることができる。

【 0 0 3 5 】

また、請求項 1 3 の発明は、

請求項 1 の再生信号処理装置であって、

上記PLL回路は、上記適応等化器を駆動する第1のクロック信号と、上記A/D変換器、および上記ディジタルフィルタを駆動する、上記第1のクロック信号の2倍以上の整数倍の周波数の第2のクロック信号とを出力するように構成されていることを特徴とする。

【 0 0 3 6 】

このように、いわゆるオーバーサンプリングを行わせることによって、A/D変換、およびディジタルフィルタによる等化をより高精度に行わせることが容易にできる。

【 0 0 3 7 】

また、請求項 1 4 の発明は、

記録媒体に記録された記録データを読み出す請求項 1 の再生信号処理装置であって、

上記アナログフィルタはローパス特性を有するフィルタであり、

上記アナログフィルタにおける通過させる周波数成分の上限が、上記記録データの読み出し速度に応じて変化するよう構成されていることを特徴とする。

【 0 0 3 8 】

これにより、記録データの読み出し速度に応じて、折り返しノイズの影響を容易に排除することができる。

【 0 0 3 9 】

また、請求項 1 5 の発明は、

記録媒体に記録された記録データを読み出す請求項 1 の再生信号処理装置であって、

上記 P L L 回路は、上記適応等化器を駆動する第 1 のクロック信号と、上記 A / D 変換器、および上記ディジタルフィルタを駆動する第 2 のクロック信号とを出力するように構成され、

上記第 1 のクロック信号の周波数は、上記記録データの読み出し速度に応じた周波数に設定される一方、

上記第 2 のクロック信号の周波数は、上記記録データの読み出し速度に係らずほぼ一定になるように設定されることを特徴とする。

【 0 0 4 0 】

このように、上記 A / D 変換器のサンプリング周波数が一定になるようにすることにより、アナログフィルタの特性を可変にしなくても、記録データの種々の読み出し速度に対しても、折り返しノイズの影響を容易に排除することができる。

【 0 0 4 1 】

【発明の実施の形態】

以下、本発明の実施の形態として、D V D (Digital Versatile Disc) 等のリムーバブルな記録媒体に記録されたデータを再生する再生信号処理装置について、図面を参照しながら説明する。

【 0 0 4 2 】

(実施の形態 1)

(再生信号処理装置の構成)

図 1 は本発明の実施の形態 1 に係る再生信号処理装置の要部の構成を示すブロック図である。

【 0 0 4 3 】

図 1 の構成において、

可変利得増幅器 1 0 1 (V G A) は、例えば光ディスク等の記録媒体に記録された記録データを読み取るピックアップからの再生信号が入力され、その再生信

号の振幅を、後述する A/D 変換器 1 0 6 の入力ダイナミックレンジに適合するように自動調整するものである。この可変利得増幅器 1 0 1 は、ゲイン調整回路 1 0 2 により、A/D 変換器 1 0 6 からの出力に基づいて制御されるようになっている。

【 0 0 4 4 】

アナログフィルタ 1 0 3 は、ローパスフィルタによって構成され、高域雑音を除去するようになっている。

【 0 0 4 5 】

加算回路 1 0 4 は、A/D 変換器 1 0 6 からの出力に基づいたオフセット調整回路 1 0 5 の制御によって、再生信号の平均のレベルが 0 になるように、再生信号をオフセットさせるようになっている。

【 0 0 4 6 】

A/D 変換器 1 0 6 は、再生信号を量子化して、デジタルの再生信号データを出力するようになっている。

【 0 0 4 7 】

デジタルフィルタ 1 0 7 は、後述するコントローラ部 1 1 2 によって特性が制御され、アナログフィルタ 1 0 3 よりも低いカットオフ周波数でさらに高域雑音の除去をするとともに、システム（再生信号処理装置）の P R 等化特性に応じたプリイコライジング処理（具体的には例えば高域強調）を行うようになっている。

【 0 0 4 8 】

デジタル信号処理部 1 0 8 は、適応等化フィルタ 1 0 9 とビタビ復号器 1 1 0 とを備え、デジタルフィルタ 1 0 7 から出力された再生信号データに基づいて、2 値の記録データ（抽出データ）を抽出するようになっている。

【 0 0 4 9 】

コントローラ部 1 1 2 は、上記 P L L 回路 1 1 1 から出力されるジッタ値に応じて、デジタルフィルタ 1 0 7 の特性を制御するものである。すなわち、記録媒体が装填された場合などに行われる予備的な再生動作の際（学習期間）に、P L L 回路 1 1 1 から出力されるジッタ値が最も小さくなるタップ係数を決定し、

その後の通常の再生動作時に、上記決定されたタップ係数をデジタルフィルタ 1 0 7 に出力するようになっている。

【 0 0 5 0 】

P L L 回路 1 1 1 (P L L : Phase Locked Loop) は、デジタルフィルタ 1 0 7 から出力された再生信号データに基づいて、抽出データに同期したクロック信号を生成し、A / D 変換器 1 0 6、デジタルフィルタ 1 0 7、およびデジタル信号処理部 1 0 8 に供給するとともに、図示しない抽出データの処理部に出力するようになっている。

【 0 0 5 1 】

以下、上記デジタルフィルタ 1 0 7、適応等化フィルタ 1 0 9、コントローラ部 1 1 2、および P L L 回路 1 1 1 について、より詳しく説明する。

【 0 0 5 2 】

(デジタルフィルタ 1 0 7)

デジタルフィルタ 1 0 7 は、具体的には例えば図 2 に示すように、シフトレジスタ 1 0 7 a と、乗算器 1 0 7 b … と、加算器 1 0 7 c とを有するトランスバーサル型の F I R フィルタによって構成されている。上記乗算器 1 0 7 b … にコントローラ部 1 1 2 からタップ係数が入力されることによって、フィルタ特性が制御されるようになっている。

【 0 0 5 3 】

(適応等化フィルタ 1 0 9)

上記デジタル信号処理部 1 0 8 を構成する適応等化フィルタ 1 0 9 は、例えば図 3 に示すように、フィルタ部 1 2 1 と、タップ係数制御部 1 2 2 とを備えている。

【 0 0 5 4 】

フィルタ部 1 2 1 は、シフトレジスタ 1 2 1 a、乗算器 1 2 1 b …、および加算器 1 2 1 c を有する F I R フィルタによって構成されている。

【 0 0 5 5 】

タップ係数制御部 1 2 2 は、上記乗算器 1 0 7 b … にそれぞれ入力されるタップ係数を制御するもので、期待値推定部 1 2 2 a と、減算器 1 2 2 b と、タップ

係数更新部 1 2 2 c とを有している。上記期待値推定部 1 2 2 a は、フィルタ部 1 2 1 から出力される再生信号データに応じて、その再生信号データの正確な値として予想される期待値を出力し、減算器 1 2 2 b は、上記期待値とフィルタ部 1 2 1 の出力との差（等化誤差）を求め、タップ係数更新部 1 2 2 c は、上記等化誤差とフィルタ部 1 2 1 に入力される再生信号データとの関係に応じて、フィルタ部 1 2 1 の乗算器 1 2 1 b … に出力するタップ係数を更新（補正）するようになっている。上記タップ係数補正のアルゴリズムとしては、例えば LMS (Least Mean Square) が用いられる。上記のようにして、タップ係数が、等化誤差が小さくなるような最適値に自動的に更新されることにより、ビタビ復号器 1 1 0 の特性に対応した所定の PR 等化（例えば PR (1, 1) 等化や PR (1, 2, 1) 等化など）が行われる。

【 0 0 5 6 】

（コントローラ部 1 1 2）

コントローラ部 1 1 2 は、例えば図 4 に示すように、タップ係数テーブル 1 3 1 と、タップ係数制御部 1 3 2 と、最小値保持レジスタ 1 3 3 と、比較器 1 3 4 と、アドレス保持レジスタ 1 3 5 とを備えて構成されている。

【 0 0 5 7 】

上記タップ係数テーブル 1 3 1 には、例えば図 5 に示すように、種々のカットオフ特性と高域強調特性との組み合わせた応じた複数組のタップ係数の組が、各記憶アドレスの領域に記憶されたデータ値として保持されている。

【 0 0 5 8 】

タップ係数制御部 1 3 2 は、記録媒体が装填された場合などの学習期間に、上記タップ係数テーブル 1 3 1 に保持されている各組のタップ係数を順次読み出して、デジタルフィルタ 1 0 7 に出力するようになっている。一方、学習期間終了後の通常の再生動作時には、アドレス保持レジスタ 1 3 5 に保持されているアドレスに応じた組のタップ係数を読み出して、デジタルフィルタ 1 0 7 に出力するようになっている。

【 0 0 5 9 】

最小値保持レジスタ 1 3 3 は、上記タップ係数制御部 1 3 2 から出力される各

タップ係数に応じてPLL回路111から出力されるジッタ値の最小値を保持するようになっている。

【0060】

比較器134は、最小値保持レジスタ133に保持されている値と、PLL回路111から出力されたジッタ値とを比較し、PLL回路111から出力されたジッタ値の方が小さい場合に、ラッチ信号（ラッチパルス）を出力して、上記ジッタ値を新たな最小値として最小値保持レジスタ133に保持させるようになっている。

【0061】

アドレス保持レジスタ135は、上記比較器134から出力されるラッチ信号に応じて、タップ係数制御部132から出力されているアドレス、すなわちタップ係数テーブル131におけるジッタ値の最小値を与えるタップ係数の組が記憶されている領域のアドレスを保持するようになっている。

【0062】

なお、コントローラ部112は、上記のようにハードウェアによって構成されるのに限らず、マイクロコンピュータとソフトウェアとによって同様の機能を持たせるようにしてもよい。

【0063】

（PLL回路111）

PLL回路111は、例えば図6に示すように、位相比較器141と、PLPF142（Phase Loop Filter）と、D/A変換器143と、VCO144（Voltage-Controlled Oscillator）と、分周回路145と、積算器146を備えている。上記積算器146は、位相比較器141から出力される位相誤差の絶対値（または2乗値）を積算し、その平均値をジッタ値としてコントローラ部112に出力するようになっている。なお、上記のように位相誤差の平均値をコントローラ部112に出力することは、一般的に位相誤差のばらつきの影響の低減が容易になる点で好ましいが、これに限らず、位相誤差が直接出力されるようにするなど、位相誤差に応じた値が出力されるようにすればよい。また、PLL回路111は位相誤差を直接出力し、コントローラ部112によって平均値の算出などが

なされるようにしてもよい。さらに、例えば位相誤差のばらつき（標準偏差）が所定値以上の場合には、（例え平均値が小さかったとしても）コントローラ部 1 1 2 での最小値の判定がなされないようにしてもよい。また、上記分周回路 1 4 5 は必ずしも設けなくてもよいが、VCO 1 4 4 に高い周波数のクロックを発振させて分周する方が、周波数のゆらぎの影響を低減することが容易になる。

【0064】

（再生信号処理装置の動作）

上記のように構成された再生信号処理装置では、記録媒体に記録されたデータの再生に先立って、記録媒体が装填された際などの学習期間に以下のような予備的な再生動作が行われ、デジタルフィルタ 1 0 7 に与えられるタップ数が決定される。

【0065】

すなわち、コントローラ部 1 1 2 のタップ係数制御部 1 3 2 は、タップ係数テーブル 1 3 1 に保持されているタップ係数（の組）を順次読み出してデジタルフィルタ 1 0 7 に出力する。一方、可変利得増幅器 1 0 1 等は通常の再生が行われる場合と同様に動作する。すなわち、光ピックアップ等から出力された再生信号は、可変利得増幅器 1 0 1 によるゲイン調整、アナログフィルタ 1 0 3 による高域雑音の除去、加算回路 1 0 4 によるオフセット調整がなされ、A/D変換器 1 0 6 は、PLL回路 1 1 1 から出力されるクロック信号に応じてアナログの再生信号をサンプリングし、デジタルの再生信号データに変換してデジタルフィルタ 1 0 7 に出力する。デジタルフィルタ 1 0 7 は、コントローラ部 1 1 2 から出力されたタップ係数によって定まるカットオフ特性およびブースト特性で再生信号データのプリイコライジングを行う。

【0066】

上記プリイコライジングがなされた再生信号データは、PLL回路 1 1 1 に入力され、位相比較器 1 4 1 によって、分周回路 1 4 5 から出力されるクロック信号との位相誤差が検出される。この検出は、例えば再生信号データにおけるゼロクロスポイント付近のタイミングでの値に基づいて行われる。より詳しくは、例えば、図 7 に示すようにゼロクロスポイント付近でサンプリングされた再生信号

データの値を $a_0 \sim a_2$ とすると、 $a_1 / (a_0 - a_2)$ を求めることにより、再生信号における実際のゼロクロスポイントのタイミングと値 a_1 のサンプリングタイミングとのずれが位相誤差として求められる。そこで、この位相誤差に応じて VCO 144 の発振周波数が制御されることによって、クロック信号の位相が再生信号のゼロクロスポイントに同期するように制御される。また、上記位相誤差の絶対値が積算器 146 により平均化されて、ジッタ値が求められ、コントローラ部 112 に入力される。

【0067】

コントローラ部 112 では、最小値保持レジスタ 133 に保持されている値よりも小さいジッタ値が PLL 回路 111 から入力されるごとに、そのジッタ値が最小値として最小値保持レジスタ 133 に保持されるとともに、その際に加算回路 104 に出力していたタップ係数に対応するアドレス（そのタップ係数がタップ係数テーブル 131 に保持されていた領域のアドレス）がアドレス保持レジスタ 135 に保持される。

【0068】

上記のような動作が、タップ係数テーブル 131 に保持されている各タップ係数の組について行われることにより、最もジッタ値が小さくなるタップ係数の組が求められる。このようにジッタ値が最も小さくなるということは、デジタルフィルタ 107 によるプリアライジングが適切になされ、デジタルフィルタ 107 から出力される再生信号データにおけるゼロクロスポイントのタイミングが安定していることを意味する。また、そのような再生信号データに基づいて PLL 動作が行われることにより、A/D 変換器 106 によって適切なタイミングでサンプリングされた再生信号データが得られることにもなる。

【0069】

そこで、その後の通常の再生時に、上記のようなタップ係数がデジタルフィルタ 107 に与えられることにより、適切なタイミングでサンプリングおよびプリアライジングのなされた再生信号データが適応等化フィルタ 109 に入力される。それゆえ、適応等化フィルタ 109 による PR 等化も適切に行われ、ピタビ復号器 110 による記録データの再生が行われる。

【 0 0 7 0 】

上記のように、ジッタ値を指標としてデジタルフィルタ 1 0 7 のタップ係数が決定されることにより、記録媒体や環境条件のばらつきなどに応じた適切なタップ係数が容易に求められ、そのようなタップ係数が固定的にデジタルフィルタ 1 0 7 に設定されることによって、フィードバックループの不安定な状態を招くことなくプリイコライジングおよび PLL 動作を行わせて、高精度な記録データの再生を行わせることができる。

【 0 0 7 1 】

また、アナログフィルタ 1 0 3 として、周波数に応じてゲインが比較的緩やかに変化し、折り返しノイズを抑制するための最低限のローパス特性を有するものを用い、デジタルフィルタ 1 0 7 の特性との合成によって最適な特性が得られるようにすることができる。このため、アナログフィルタ 1 0 3 に急峻なカットオフ特性を持たせた場合の群遅延によって PLL がロックしにくいような状態を回避することができ、また、高域ブーストの限界の制約を受けることもない。それゆえ、半導体集積回路を微細化すると困難になるようなアナログフィルタ 1 0 3 の高機能化、高性能化を必要とすることなく、アナログフィルタ 1 0 3 の構成を簡素化して、半導体集積回路のチップ面積を小さく抑えることなども容易にできる。

【 0 0 7 2 】

(実施の形態 2)

実施の形態 2 の再生信号処理装置について説明する。なお、以下の実施の形態において、前記実施の形態 1 等と同様の機能を有する構成要素については同一の符号を付して説明を省略する。

【 0 0 7 3 】

この再生信号処理装置は、例えば図 8 に示すように、前記実施の形態 1 の再生信号処理装置 (図 1) における適応等化フィルタ 1 0 9 (図 3) に代えて、適応等化フィルタ 2 0 9 を備え、この適応等化フィルタ 2 0 9 から出力される等化誤差がコントローラ部 1 1 2 に入力されるようになっている。上記等化誤差は、具体的には、図 9 に示すように、適応等化フィルタ 2 0 9 におけるフィルタ部 1 2

1 の出力と期待値推定部 1 2 2 a の出力との差として求められるものである。

【 0 0 7 4 】

上記等化誤差に基づいて行われるコントローラ部 1 1 2 の動作は、前記実施の形態 1 と同じである。すなわち、学習期間に、デジタルフィルタ 1 0 7 に種々のタップ係数が設定され、等化誤差が最も小さくなるものが求められるようになっている。このように等化誤差が最も小さくなるということは、定常的な波形の歪みなどに対する（P R 等化に近い）プリイコライジングがデジタルフィルタ 1 0 7 によってほぼ確実に行われ、適応等化フィルタ 2 0 9 では主として動的な変動等に応じた等化処理がなされることを意味する。したがって、上記のように、適応等化フィルタ 2 0 9 における等化誤差がデジタルフィルタ 1 0 7 の最適なタップ係数を求めるための指標として用いられることによって、やはり、適切にプリイコライジングおよび P L L 動作を行わせて、高精度な記録データの再生を行わせることができる。

【 0 0 7 5 】

（実施の形態 3）

実施の形態 3 の再生信号処理装置は、例えば図 1 0 に示すように、適応等化フィルタ 1 0 9 の入出力再生信号データ、すなわちデジタルフィルタ 1 0 7 から適応等化フィルタ 1 0 9 に入力される再生信号データと、適応等化フィルタ 1 0 9 から出力される再生信号データとが、コントローラ部 3 1 2 に入力されるようになっている。コントローラ部 3 1 2 は、実施の形態 1 のコントローラ部 1 1 2 （図 4）に加えて差分積算部 3 1 2 a を備えたもので、上記適応等化フィルタ 1 0 9 の入出力再生信号データの差分の絶対値（または 2 乗値）の平均値が算出される。この差分積算部 3 1 2 a から出力される平均値に対して、その最小値を与えるようなタップ係数が求められる点は、実施の形態 1 のコントローラ部 1 1 2 と同じである。

【 0 0 7 6 】

上記のように、適応等化フィルタ 1 0 9 の入出力再生信号データの差分が最も小さくなるようにデジタルフィルタ 1 0 7 のタップ係数が決定されることによって、やはり、デジタルフィルタ 1 0 7 によるプリイコライジングを適切に行

わせることができ、したがって、高精度な記録データの再生を行わせることができる。

【 0 0 7 7 】

なお、上記のように適応等化フィルタ 1 0 9 の入出力再生信号データの差分の平均値が最も小さいものが求められるのに代えて、所定の期間内で、上記差分が所定の基準値以下になる頻度が最も多いものや、所定の基準値以上になる頻度が最も少ないものなどが求められるようにしてもよい。

【 0 0 7 8 】

（実施の形態 4）

実施の形態 4 の再生信号処理装置は、実施の形態 1 の再生信号処理装置（図 1）と比べて、例えば図 1 1 に示すように、適応等化フィルタ 1 0 9 およびコントローラ部 1 1 2 に代えて、適応等化フィルタ 4 0 9 およびコントローラ部 4 1 2 を備えている点が異なっている。

【 0 0 7 9 】

上記適応等化フィルタ 4 0 9 は、学習期間の終了時点で用いられているタップ係数、すなわち適切な P R 等化が行われるように収束したタップ係数を出力するようになっている。また、コントローラ部 4 1 2 は、図 1 2 に示すように、コントローラ部 1 1 2 の構成に加えて、タップ係数合成部 4 3 6 を備えている。このタップ係数合成部 4 3 6 は、学習期間終了後に、上記適応等化フィルタ 4 0 9 から出力されたタップ係数と、実施の形態 1 と同様にして求められたタップ係数とを合成（畳み込み）して合成タップ係数を求め、その合成タップ係数を通常の再生動作時にデジタルフィルタ 1 0 7 に設定するようになっている。

【 0 0 8 0 】

より詳しくは、例えばデジタルフィルタ 1 0 7 のタップ数が 5 タップ、適応等化フィルタ 4 0 9 のタップ数が 3 タップだとすると、まず、学習期間には、上記デジタルフィルタ 1 0 7 の 5 タップのうち例えばセンタータップとその両隣の 3 タップだけが用いられて（例えば両端のタップ係数が 0 にされる）、実施の形態 1 と同様に P L L 回路 1 1 1 によって検出されるジッタ値が最小となるタップ係数が求められる。また、このとき、上記デジタルフィルタ 1 0 7 のタップ

係数と対応して、適応等化フィルタ 4 0 9 においても、最適な P R 等化が行われるタップ係数が得られる。そこで、コントローラ部 4 1 2 のタップ係数合成部 4 3 6 は、上記 2 組のタップ係数を合成し、得られたタップ係数をデジタルフィルタ 1 0 7 に設定する。具体的には、例えば図 1 3 に示すように、学習期間の終了時点におけるデジタルフィルタ 1 0 7 および適応等化フィルタ 4 0 9 のタップ係数がそれぞれ (0、2、10、2、0) または (1、8、2) だとすると、各タップ係数の積和が算出されることによって、合成タップ係数 (2、26、86、36、4) が得られ、この合成タップ係数がデジタルフィルタ 1 0 7 に設定される。ここで、同図に示す演算は、左端の数値から順に積が求められているが、基本的には、通常の 5 桁と 3 桁の数値の乗算と同様の演算である。

【0081】

上記のような合成タップ係数がデジタルフィルタ 1 0 7 に設定されることによって、デジタルフィルタ 1 0 7 に、ローパス機能および高域強調機能に加えて、再生信号の群遅延の補正機能も併せ持たせる得ることになる。それゆえ、例えば従来の技術について説明した図 2 4 の構成と比べれば、適応等化フィルタ 9 1 1 から出力されるのに近い高品質な再生信号データが P L L 回路 1 1 1 に入力されるので、より正確なクロック信号を得ることができる一方、上記のようなブリコライジングは固定的に設定されたタップ係数によって行われるので、特開 2 0 0 1 - 1 8 4 7 9 5 のように適応等化フィルタのフィードバック制御による影響を P L L 回路が受けて動作が不安定になるおそれもない。

【0082】

なお、上記デジタルフィルタ 1 0 7 等のタップ数や合成演算の方法は、説明の便宜上の一例であり、これに限るものではない。例えば適応等化フィルタ 4 0 9 のタップ数も 5 タップである場合に、図 1 4 に示すように、フィルタ特性への影響が大きいセンタータップ付近の 3 タップについてだけ積和演算が行われるようにしてもよいし、また、図 1 5 に示すように、5 タップの全てのタップ係数について積和演算が行われ、その演算結果における、フィルタ特性への影響が大きい、センタータップを中央とする 5 タップ分のタップ係数が用いられるようにしてもよい。さらに、デジタルフィルタ 1 0 7 についても、学習期間において例

えば全てのタップに有効なタップ係数が設定される場合に、センタータップ付近のタップ係数だけが積和演算に用いられるようにしたり、演算結果における一部のタップ係数だけがデジタルフィルタ 1 0 7 に設定されるようにしたりしてもよい。

【 0 0 8 3 】

(変形例 1)

上記の例では、A/D変換器 1 0 6、デジタルフィルタ 1 0 7、およびデジタル信号処理部 1 0 8に同じ（周波数の）クロック信号が入力される例を示したが、図 1 6に示すように、PLL回路 5 1 1に2種類の周波数のクロック信号、すなわち、チャンネルクロック CLK-chと、その2倍以上の整数倍の周波数のサンプリングクロック CLK-sとを出力させ、上記チャンネルクロック CLK-chをデジタル信号処理部 1 0 8に入力する一方、サンプリングクロック CLK-sをA/D変換器 1 0 6およびデジタルフィルタ 1 0 7に入力するようにしてもよい。上記のようなPLL回路 5 1 1は、例えば要部を図 1 7に示すように、実施の形態 1のPLL回路 1 1 1（図 6）における分周回路 1 4 5に加えて、それよりも分周比の小さい（高い周波数のクロック信号を出力する）分周回路 5 4 5を備えて構成される。また、上記分周回路 1 4 5・5 4 5の分周比を制御する分周比設定回路 5 4 6が備えられる。（なお、上記のような構成に限らず、まず、サンプリングクロック CLK-sを生成した後、これをさらに分周してチャンネルクロック CLK-chを生成するなどしてもよい。）

すなわち、チャンネルクロック CLK-chの周波数は、PR等化やビタビ復号、およびその後のデータ処理のタイミングを制御するために用いられるので、記録データの再生速度に応じて定まる。一方、A/D変換器 1 0 6によるサンプリングやデジタルフィルタ 1 0 7によるプリイコライジングに用いられるサンプリングクロック CLK-sについては、クロック周期が短いほど（オーバーサンプリング率が高いほど）、時間軸方向に対してより細かな等化処理を施すことになり、離散データ信号処理がアナログ的な処理に近づくこととなる。それゆえ、例えば分周回路 5 4 5の分周比を分周回路 1 4 5の $1/2$ にすると、図 1 8に示すように、PR等化等の動作周期 T に対して $T/2$ の周期でサンプリングおよびプ

リイコライジングが行われ、適応等化フィルタ 1 0 9 に入力されるデータよりも多くの段階のデータがディジタルフィルタ 1 0 7 に入力されるので、前記実施の形態 1 ～ 4 で説明したようなプリイコライジングをより高精度に行わせることができる。

【 0 0 8 4 】

(変形例 2)

再生倍速が異なるときにアナログフィルタの特性を変化させるようにした再生信号処理装置について説明する。この再生信号処理装置は、図 1 9 に示すように、コントローラ部 6 1 2 のカットオフ制御部 6 1 2 a によって、アナログフィルタ 6 0 3 の周波数特性が制御されるようになっている。具体的には、例えば 2 倍速再生（例えば再生速度が C D : Compact Disc の 2 倍）の場合には、図 2 0 に実線で示すような特性に対し、1 倍速再生の場合には同図に破線で示すような特性に切り替えられるようになっている。このようなアナログフィルタ 6 0 3 の周波数特性の制御は、アナログフィルタ 6 0 3 を構成する抵抗素子や容量素子等を切り替えることによって行うことができる。

【 0 0 8 5 】

ここで、アナログ信号をサンプリングしてディジタル信号に変換する場合、サンプリングクロック周波数の $1/2$ の周波数を境に折り返しが発生する。また、上記サンプリングクロック周波数は、オーバーサンプリング率が一定であれば、再生倍速に比例したものとなる。そこで、2 倍速再生の場合に、図 2 0 に示すように、サンプリングクロック周波数を f_{s2} とし、その $1/2$ の周波数でのアナログフィルタ 1 0 3 のゲインを折り返しノイズの抑制に充分な $-A$ (dB) とすると、1 倍速再生時には、破線で示すような特性に切り替えることによって、サンプリングクロック周波数 f_{s1} の $1/2$ の周波数でのゲインを 2 倍速再生時と同じく $-A$ にすることができる。（なお、ディジタルフィルタ 1 0 7 の遮断特性・ブースト特性も、再生倍速に応じて、すなわちディジタルフィルタ 1 0 7 が駆動されるクロック信号の周波数に応じて制御されるが、この制御は前記のようなタップ係数の設定によって容易に行われる。）

このように、再生倍速に応じて、アナログフィルタ 1 0 3 の特性を変化させ、

サンプリングクロック周波数の $1/2$ 以上の周波数成分（A/D変換器 106 への入力として不必要な帯域の周波数成分）を所定以下のゲインで減衰させることによって、A/D変換される際の折り返しノイズの影響を低減するとともに、前記実施の形態 1 等で説明したようにデジタルフィルタ 107 により適切なプリイコライジングを行うことによって、高精度な記録データの再生を行わせることができる。

【0086】

なお、アナログフィルタ 603 の特性は、上記のように再生倍速に応じて切り替えるだけでなく、例えば記録媒体に記録されている記録媒体の種類を示す情報等（例えば CD であるか DVD であるかなど）に応じて切り替えるようにしてもよい。

【0087】

（実施の形態 5）

アナログフィルタの特性を変化させることなく、種々の再生倍速での再生を行わせるようにすることができる再生信号処理装置について説明する。

【0088】

実施の形態 5 の再生信号処理装置は、例えば図 21 に示すように、変形例 1（図 16）の PLL 回路 511（図 17）と同様に、
チャンネルクロック CLK-ch およびサンプリングクロック CLK-s を出力する PLL 回路 711 と、クロック比制御部 712a を有するコントローラ部 712 とを備えている。

【0089】

上記 PLL 回路 711 は、PLL 回路 511 とほぼ同様の構成を有しているが、チャンネルクロック CLK-ch の周波数は、クロック比制御部 712a によって再生倍速に応じた周波数に制御される一方、サンプリングクロック CLK-s の周波数は、再生倍速に係らず一定の周波数に制御されるようになっている。（ここで、上記一定の周波数というのは、厳密に一定の周波数を意味するのではなく、フィードバックループによる変動等の範囲内の周波数であることを意味する。）

すなわち、例えば 2 倍速再生時のサンプリングクロック周波数 f_{s2} と 1 倍速再生時のサンプリングクロック周波数 f_{s1} とが等しければ、図 2 2、2 3 に示すように、これらの $1/2$ の周波数におけるアナログフィルタ 1 0 3 のゲインは共に $-A$ (dB) となり、これが折り返しノイズの抑制に十分な大きさだとすると、2 倍速再生時と 1 倍速再生時とで、同じ (フィルタ特性の) アナログフィルタ 1 0 3 を用い得ることになる。

【 0 0 9 0 】

一方、1 倍速再生時のチャネルクロック周波数 f_{ch1} は、2 倍速再生時のチャネルクロック周波数 f_{ch2} の $1/2$ になる。そこで、例えば 2 倍速再生時のオーバーサンプリング率が 4 ($f_{s2}/f_{ch2}=4$) だとすると、1 倍速再生時のオーバーサンプリング率は、 $f_{s1}/f_{ch1}=f_{s2}/(f_{ch2}/2)=8$ 、すなわち 2 倍速再生時の 2 倍になる。

【 0 0 9 1 】

この場合、例えば 2 倍速再生時にデジタルフィルタ 1 0 7 でのプリイコライジング処理に必要なタップ数が 5 タップであるとする、1 倍速再生時に同様のプリイコライジング処理を行わせるためには、1 0 タップ必要になる。そこで、デジタルフィルタ 1 0 7 にはあらかじめ 1 0 タップ分の回路を設けるとともに、コントローラ部 7 1 2 のタップ係数テーブルに、1 0 タップ用のタップ係数 (1 倍速再生用) と、5 タップ用のタップ係数 (2 倍速再生用: 1 0 タップのうちの 5 タップ分のタップ係数の値を 0 にしたもの) とを保持させておいて、再生倍速に応じて何れかが選択されて用いられるようにすればよい。

【 0 0 9 2 】

上記のようにタップ係数テーブルに保持されたタップ係数に基づいて、前記実施の形態 1 等で説明したようにデジタルフィルタ 1 0 7 に最適なタップ係数が設定されることにより、図 2 2、2 3 に併せて示すように、アナログフィルタ 1 0 3 とデジタルフィルタ 1 0 7 との合成の周波数特性として、それぞれの再生倍速に応じた適切なプリイコライジングを行う特性を得ることができる。また、前記変形例 2 のようにアナログフィルタ 1 0 3 の特性を可変にする必要がないので、構成を簡素化することができ、半導体集積回路を構成する場合のチップ面積

を小さく抑えることも容易に可能になる。

【 0 0 9 3 】

なお、上記各実施の形態や変形例で示した構成は、論理的に可能な範囲で種々組み合わせてもよい。具体的には、例えば実施の形態 2、または実施の形態 3 で説明したような適応等化フィルタ 1 0 9 における等化誤差や入出力データの差に応じてデジタルフィルタ 1 0 7 のタップ係数を設定する構成に、実施の形態 4 で説明したようなデジタルフィルタ 1 0 7 と適応等化フィルタ 1 0 9 のタップ係数を合成する構成を適用するようにしてもよい。また、上記実施の形態 2、3 の構成に、変形例 1、2 で説明したようなオーバーサンプリングをする構成や再生倍速に応じてアナログフィルタ 1 0 3 の特性を変化させる構成を適用してもよい。

【 0 0 9 4 】

また、変形例 2 や実施の形態 5 では、再生倍速が 1 倍速と 2 倍速との場合について説明したが、これに限らず、例えば 1 ～ 1 6 倍速などでの再生が適切に行われるように、デジタルフィルタ 1 0 7 のフィルタ係数が設定されるようにすることも容易にできる。この場合、デジタルフィルタ 1 0 7 に設定されるタップ係数に関しては、図 5 に示したようなタップ係数の複数の組み合わせを各再生倍速ごとに対応させて複数種類保持させ、再生倍速に応じて選択的に用いられるようにすればよい。

【 0 0 9 5 】

また、タップ係数の複数の組み合わせは、例えば記録媒体に記録されている、その記録媒体の種類を示す情報等（例えば C D であるか D V D であるかや、読み出し専用（R O M 系）か読み書き可能（R A M 系）かなど）にも対応させて、複数種類保持させて選択的に用いられるようにしてもよい。

【 0 0 9 6 】

また、デジタルフィルタ 1 0 7 や適応等化フィルタ 1 0 9 のタップ数は、説明の便宜上、3 タップまたは 5 タップとして説明したが、これに限るものではなく、上記記録媒体の種類や再生倍速などに応じて設定すればよい。この場合、ハードウェアとしては、例えば、一般に S / N 比が小さい R A M 系の記録媒体に対

して十分なマージンを持たせたタップ数（例えば20タップ）で構成し、ROM系の記録媒体に記録されたデータが再生される場合には、必要なタップ数（例えば10タップ）のタップに対してだけ、有効なタップ係数を設定し、他のタップには値が0のタップ係数を設定するなどすればよい。

【0097】

また、上記の再生信号処理装置では、PRML方式およびビタビ復号方式が用いられる例を示したが、これに限るものではない。

【0098】

また、光ディスク等のリムーバブルな記録媒体に記録されたデータを再生する再生信号処理装置を例に挙げたが、本発明は、これに限らず、例えばハードディスクドライブなどの記録装置に適用することもできるし、さらに、伝送路等を介して伝送されたデータの再生装置などに適用することもできる。

【0099】

【発明の効果】

以上のように本発明によると、A/D変換器と、適応等化フィルタおよびPLL回路との間にデジタルフィルタを設けるとともに、再生動作に先立つ学習期間にPLL回路のジッタ値などに基づいて決定されたタップ係数を上記デジタルフィルタに設定してプリアライジングを行わせることにより、高精度な記録データの再生を確実、かつ容易に行わせることができるので、記録密度を大幅に向上させることができる。また、アナログフィルタにローパス機能だけを持たせるようにして構成を簡素化することもできるので、半導体集積回路を構成する場合のチップ面積を小さく抑えることも容易に可能になる。

【図面の簡単な説明】

【図1】

実施の形態1の再生信号処理装置の要部の構成を示すブロック図である。

【図2】

同、デジタルフィルタ107の構成を示すブロック図である。

【図3】

同、適応等化フィルタ109の構成を示すブロック図である。

【図 4】

同、コントローラ部 1 1 2 の構成を示すブロック図である。

【図 5】

同、タップ係数テーブル 1 3 1 の記憶内容の例を示す説明図である。

【図 6】

同、PLL 回路 1 1 1 の構成を示すブロック図である。

【図 7】

同、位相誤差の検出の例を示す説明図である。

【図 8】

実施の形態 2 の再生信号処理装置の要部の構成を示すブロック図である。

【図 9】

同、適応等化フィルタ 2 0 9 の構成を示すブロック図である。

【図 1 0】

実施の形態 3 の再生信号処理装置の要部の構成を示すブロック図である。

【図 1 1】

実施の形態 4 の再生信号処理装置の要部の構成を示すブロック図である。

【図 1 2】

同、コントローラ部 4 1 2 の構成を示すブロック図である。

【図 1 3】

同、タップ係数の合成の例を示す説明図である。

【図 1 4】

同、タップ係数の合成の他の例を示す説明図である。

【図 1 5】

同、タップ係数の合成のさらに他の例を示す説明図である。

【図 1 6】

変形例 1 の再生信号処理装置の要部の構成を示すブロック図である。

【図 1 7】

同、PLL 回路 5 1 1 の要部の構成を示すブロック図である。

【図 1 8】

同、オーバサンプリング動作の例を示す説明図である。

【図 1 9】

変形例 2 の再生信号処理装置の要部の構成を示すブロック図である。

【図 2 0】

同、アナログフィルタ 6 0 3 の特性の例を示すグラフである。

【図 2 1】

実施の形態 5 の再生信号処理装置の要部の構成を示すブロック図である。

【図 2 2】

同、2 倍速再生時のアナログフィルタ 1 0 3 およびデジタルフィルタ 1 0 7 の特性の例を示すグラフである。

【図 2 3】

同、1 倍速再生時のアナログフィルタ 1 0 3 およびデジタルフィルタ 1 0 7 の特性の例を示すグラフである。

【図 2 4】

従来の再生信号処理装置の要部の構成を示すブロック図である。

【図 2 5】

同、適応等化フィルタ 9 1 1 の構成を示すブロック図である。

【符号の説明】

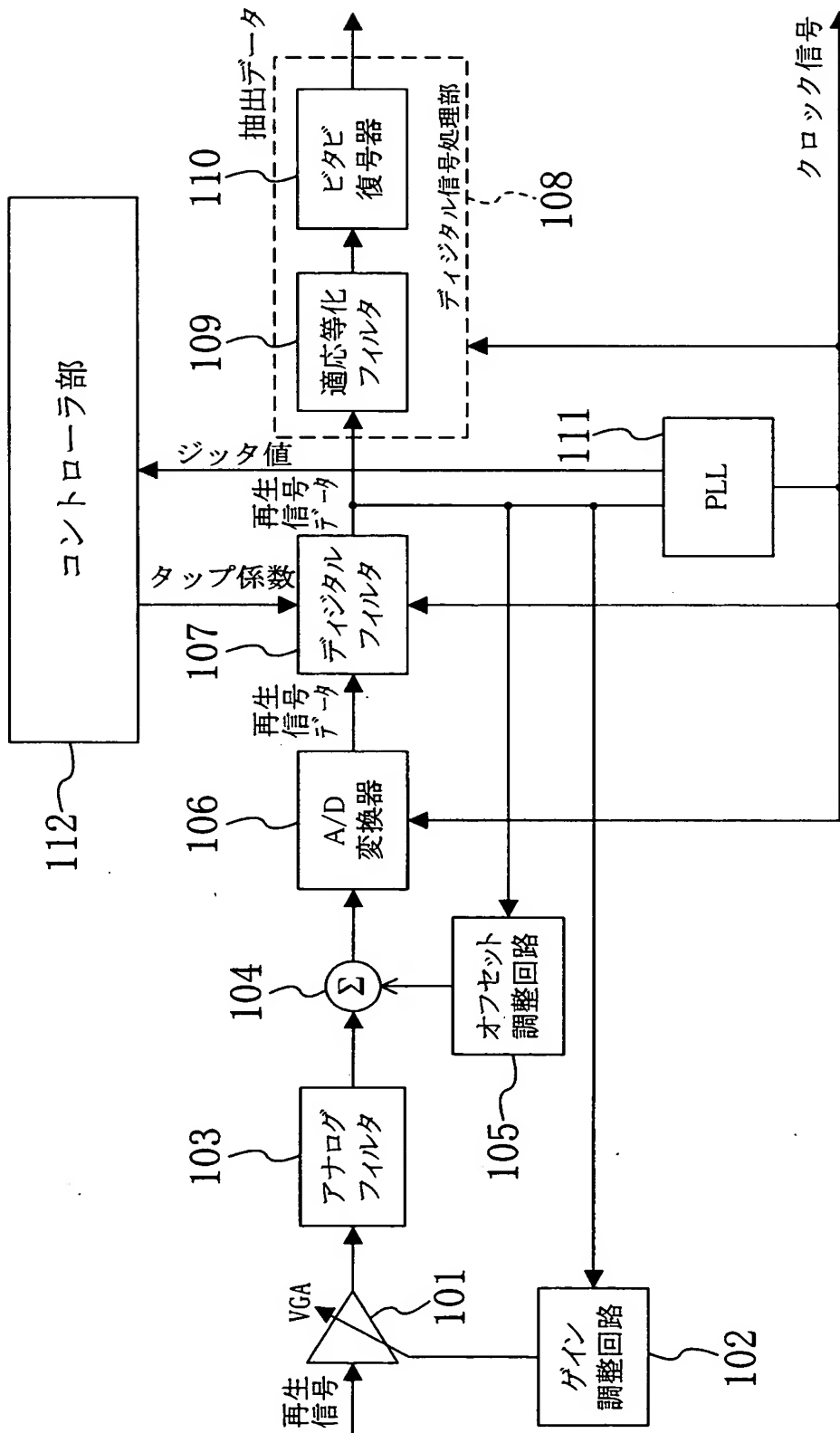
1 0 1	可変利得増幅器
1 0 2	ゲイン調整回路
1 0 3	アナログフィルタ
1 0 4	加算回路
1 0 5	オフセット調整回路
1 0 6	A/D変換器
1 0 7	デジタルフィルタ
1 0 7 a	シフトレジスタ
1 0 7 b	乗算器
1 0 7 c	加算器
1 0 8	デジタル信号処理部

1 0 9	適応等化フィルタ
1 1 0	ビタビ復号器
1 1 1	P L L回路
1 1 2	コントローラ部
1 2 1	フィルタ部
1 2 1 a	シフトレジスタ
1 2 1 b	乗算器
1 2 1 c	加算器
1 2 2	タップ係数制御部
1 2 2 a	期待値推定部
1 2 2 b	減算器
1 2 2 c	タップ係数更新部
1 3 1	タップ係数テーブル
1 3 2	タップ係数制御部
1 3 3	最小値保持レジスタ
1 3 4	比較器
1 3 5	アドレス保持レジスタ
1 4 1	位相比較器
1 4 2	P L P F
1 4 3	D / A変換器
1 4 4	V C O
1 4 5	分周回路
1 4 6	積算器
2 0 9	適応等化フィルタ
3 1 2	コントローラ部
3 1 2 a	差分積算部
4 0 9	適応等化フィルタ
4 1 2	コントローラ部
4 3 6	タップ係数合成部

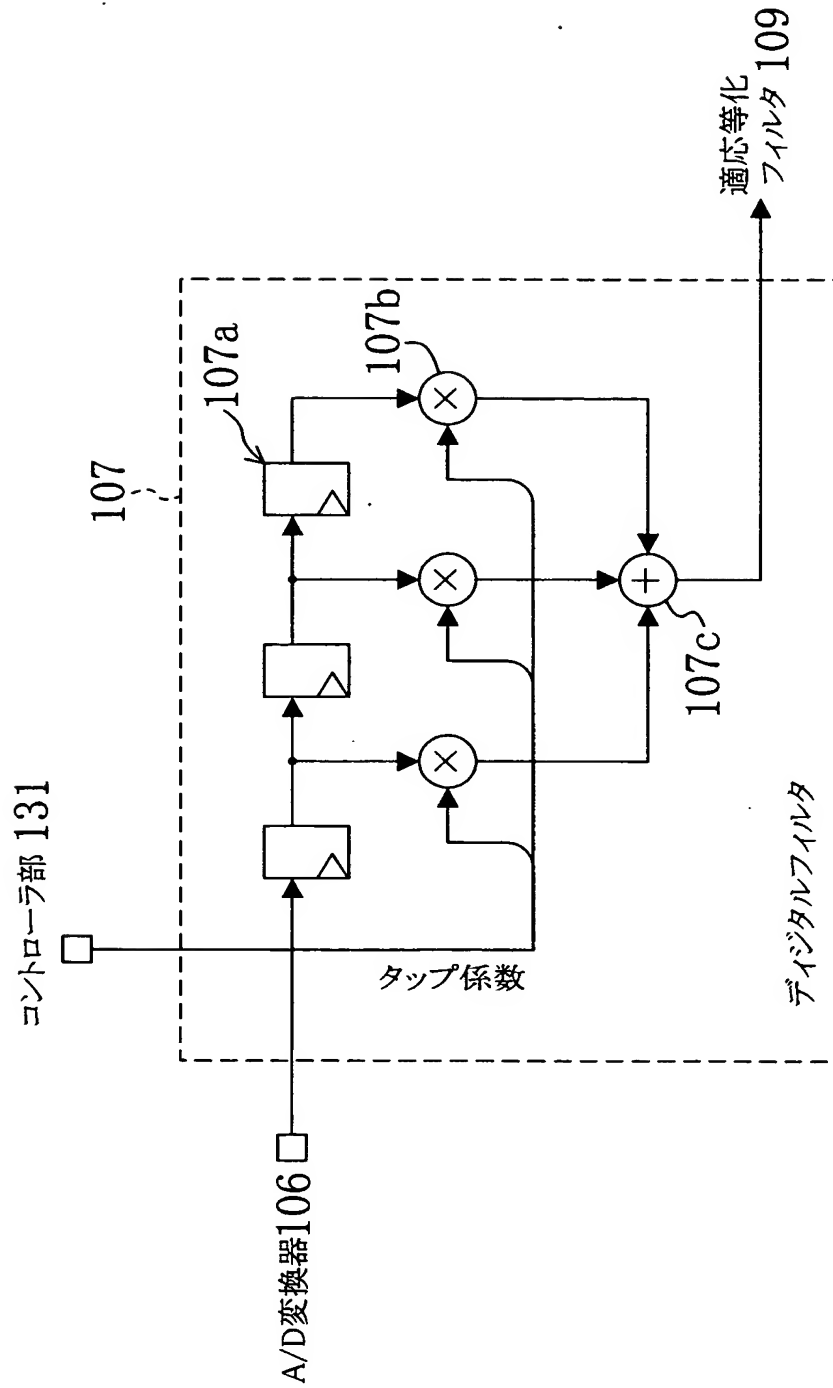
5 1 1	P L L 回路
5 4 5	分周回路
5 4 6	分周比設定回路
6 0 3	アナログフィルタ
6 1 2	コントローラ部
6 1 2 a	カットオフ制御部
7 1 1	P L L 回路
7 1 2	コントローラ部
7 1 2 a	クロック比制御部

【書類名】 図面

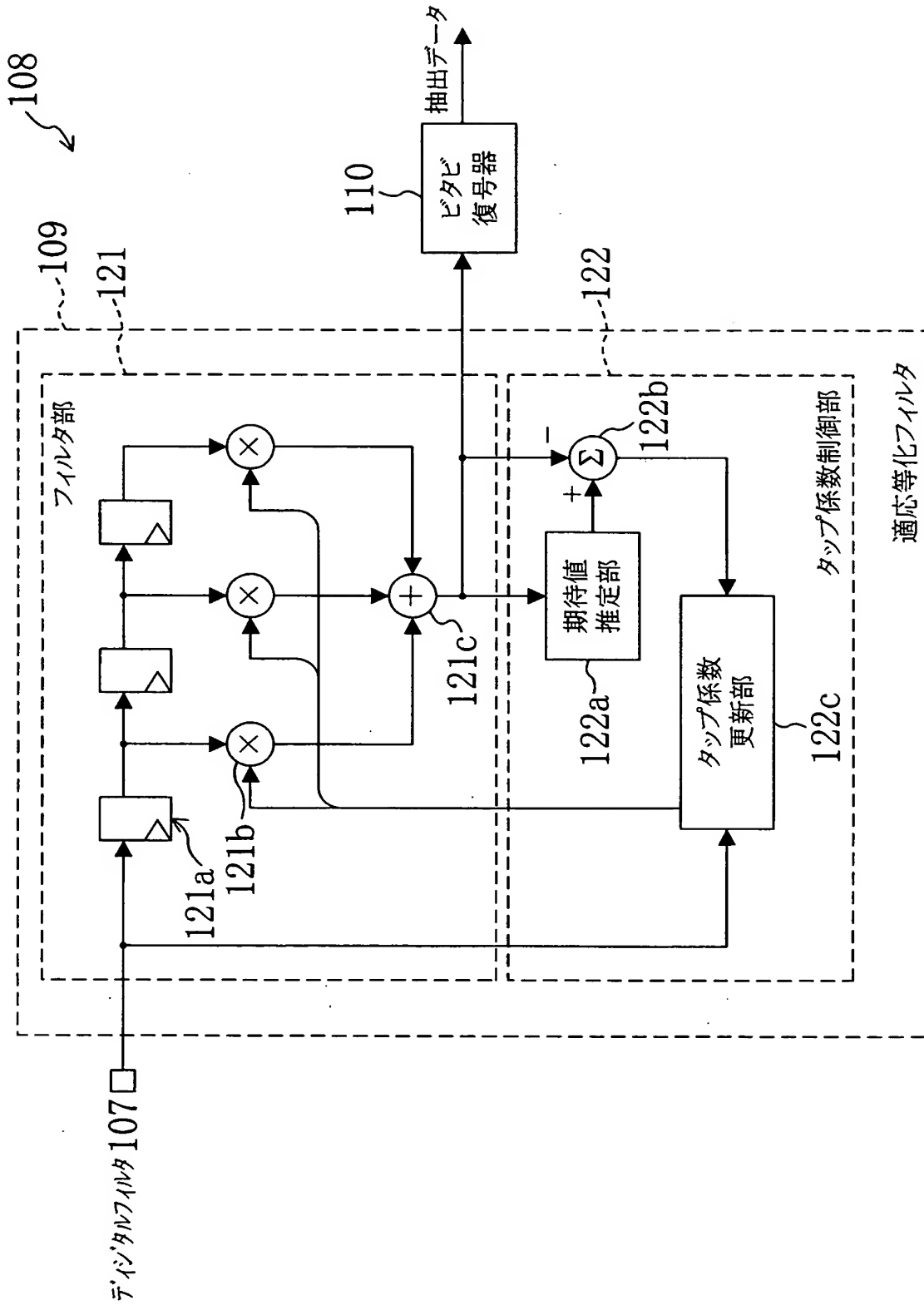
【図 1】



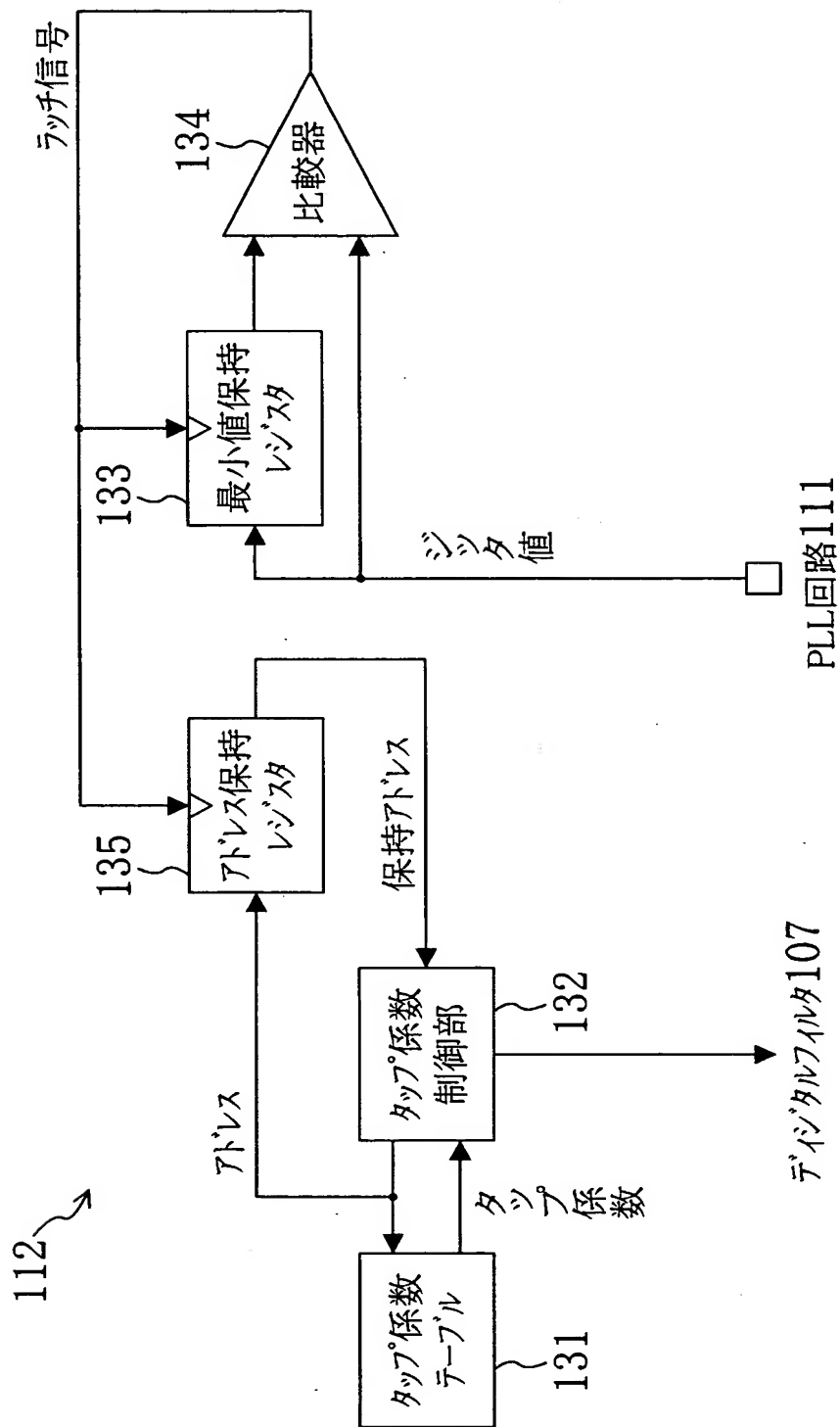
【図 2】



【図 3】



【図4】

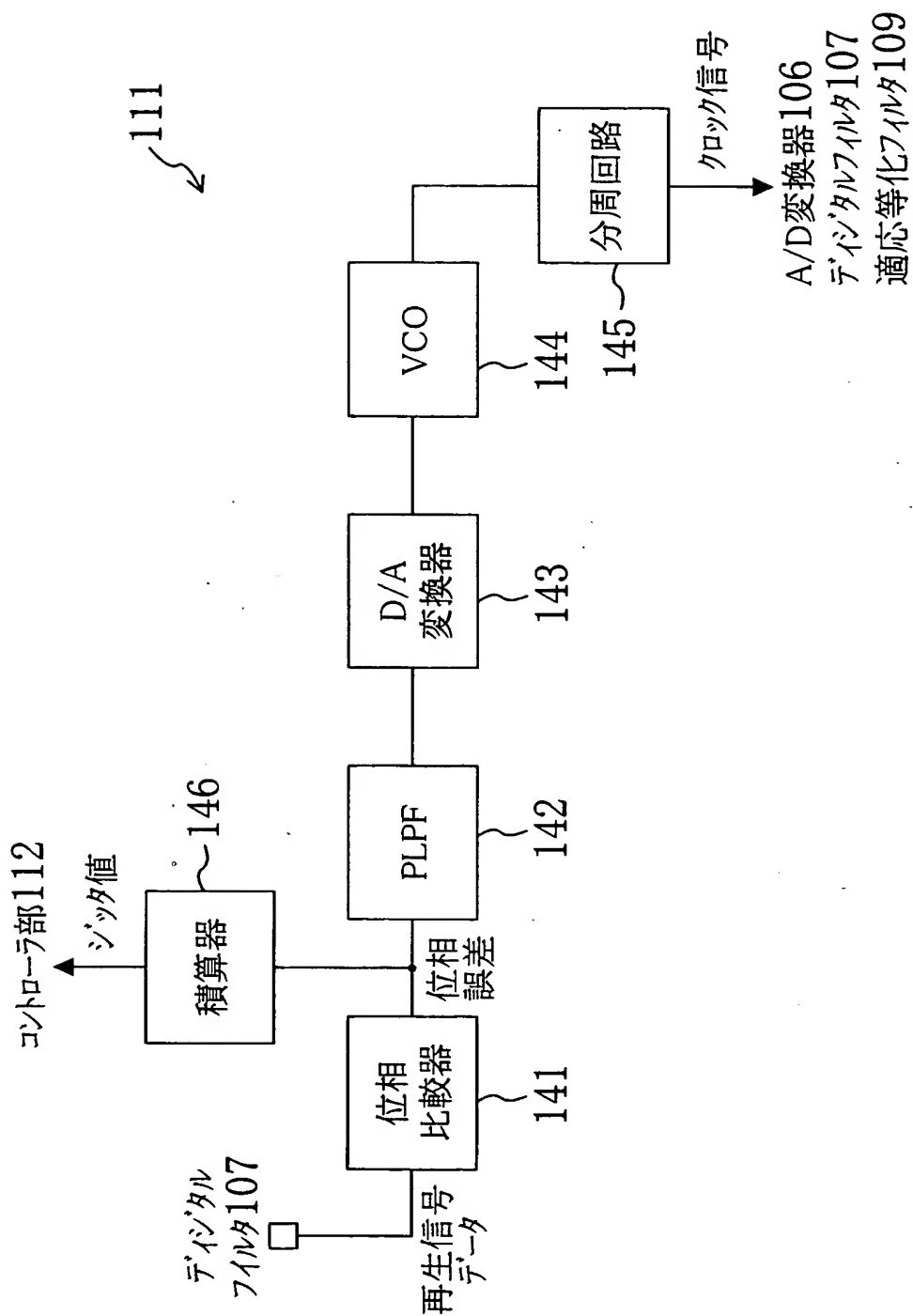


【図 5】

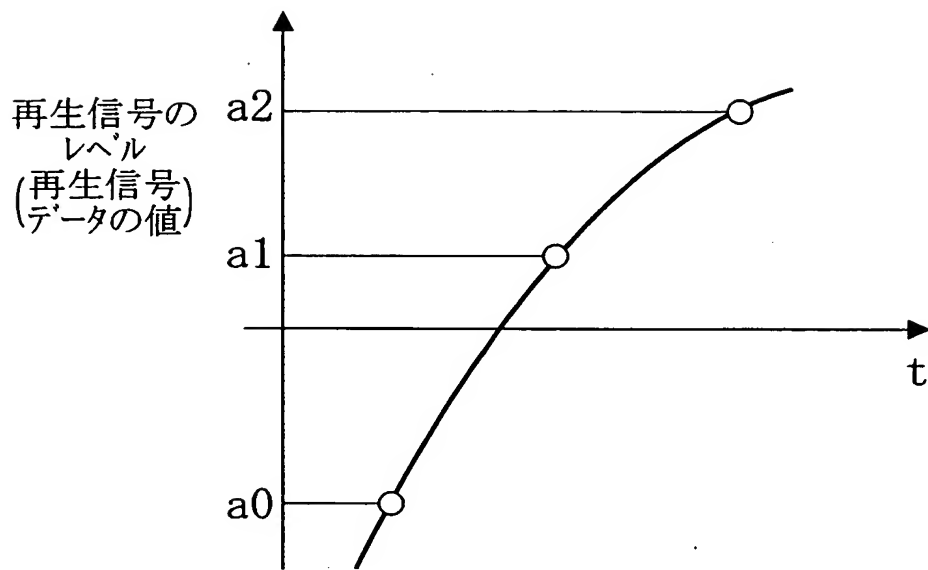
タップ係数テーブル 131

カットオフ特性と ブースト特性との 組み合わせ	タップ位置	記憶アドレス	データ値 (タップ係数)
カットオフ fc1 ブースト b0	タップ 1	00	-5
	タップ 2	01	10
	タップ 3	02	-5
カットオフ fc2 ブースト b0	タップ 1	03	-3
	タップ 2	04	13
	タップ 3	05	-3
カットオフ fc3 ブースト b0	タップ 1	06	-2
	タップ 2	07	15
	タップ 3	08	-2
カットオフ fc1 ブースト b1	∴	∴	∴

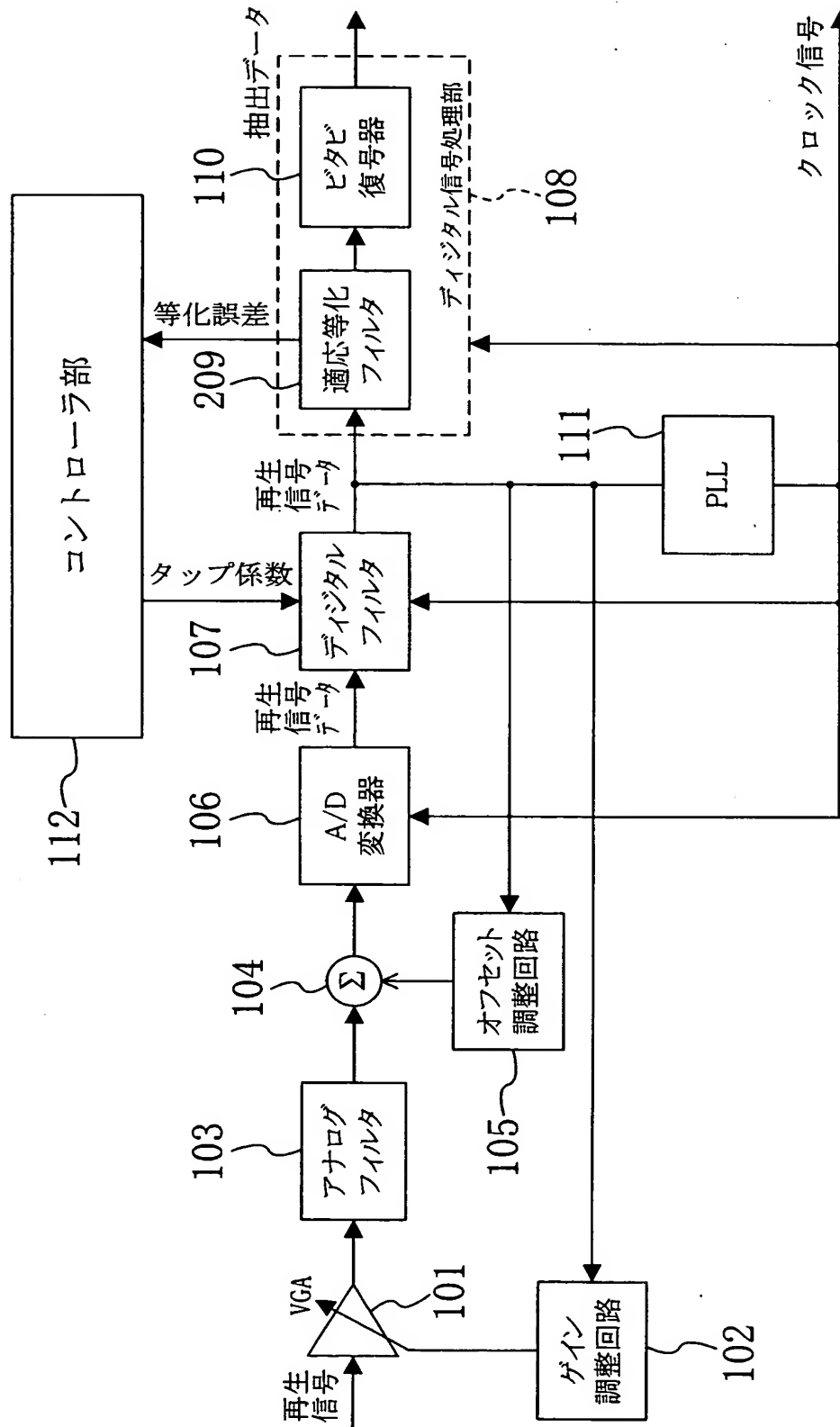
【図6】



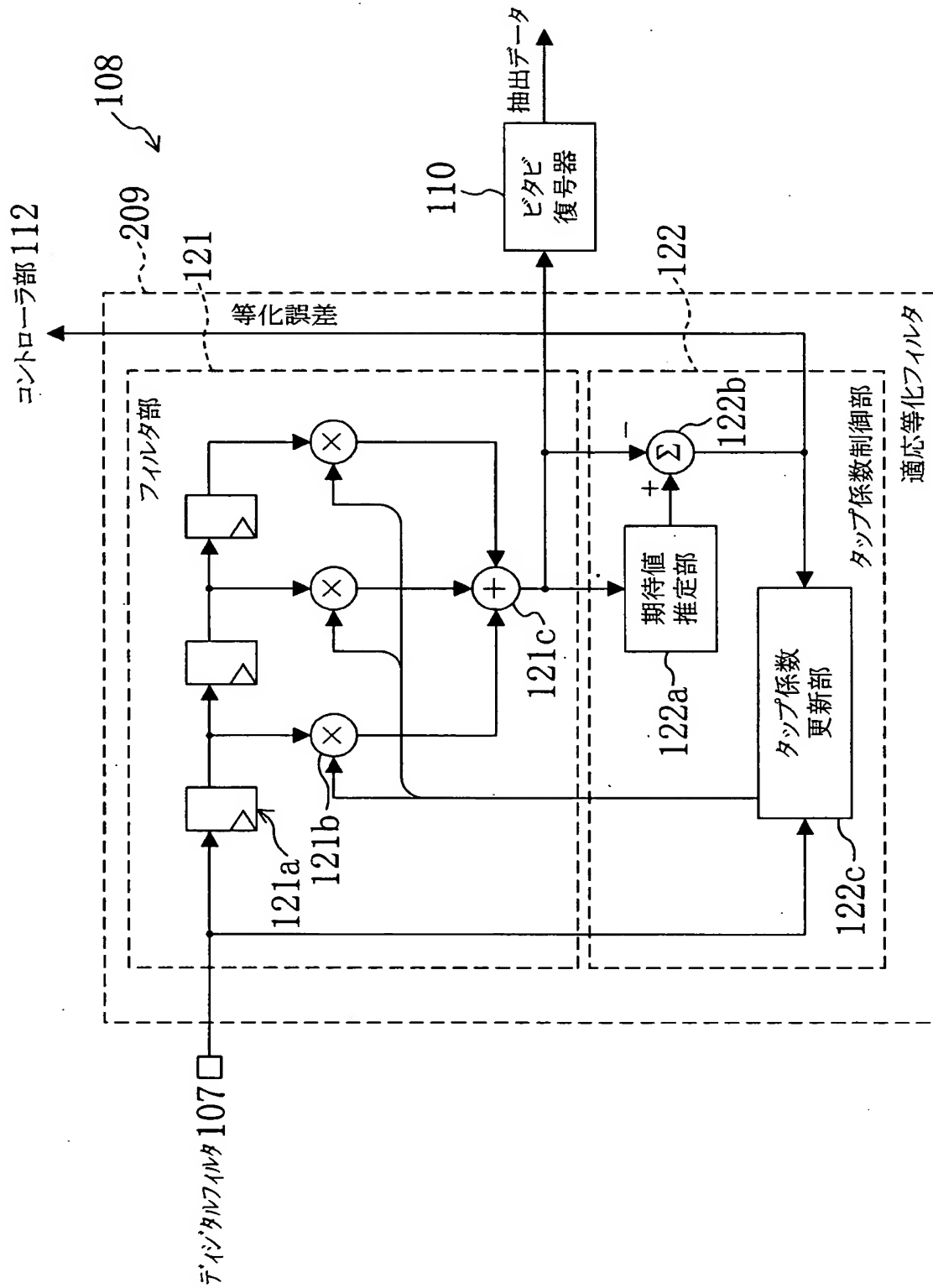
【図 7】



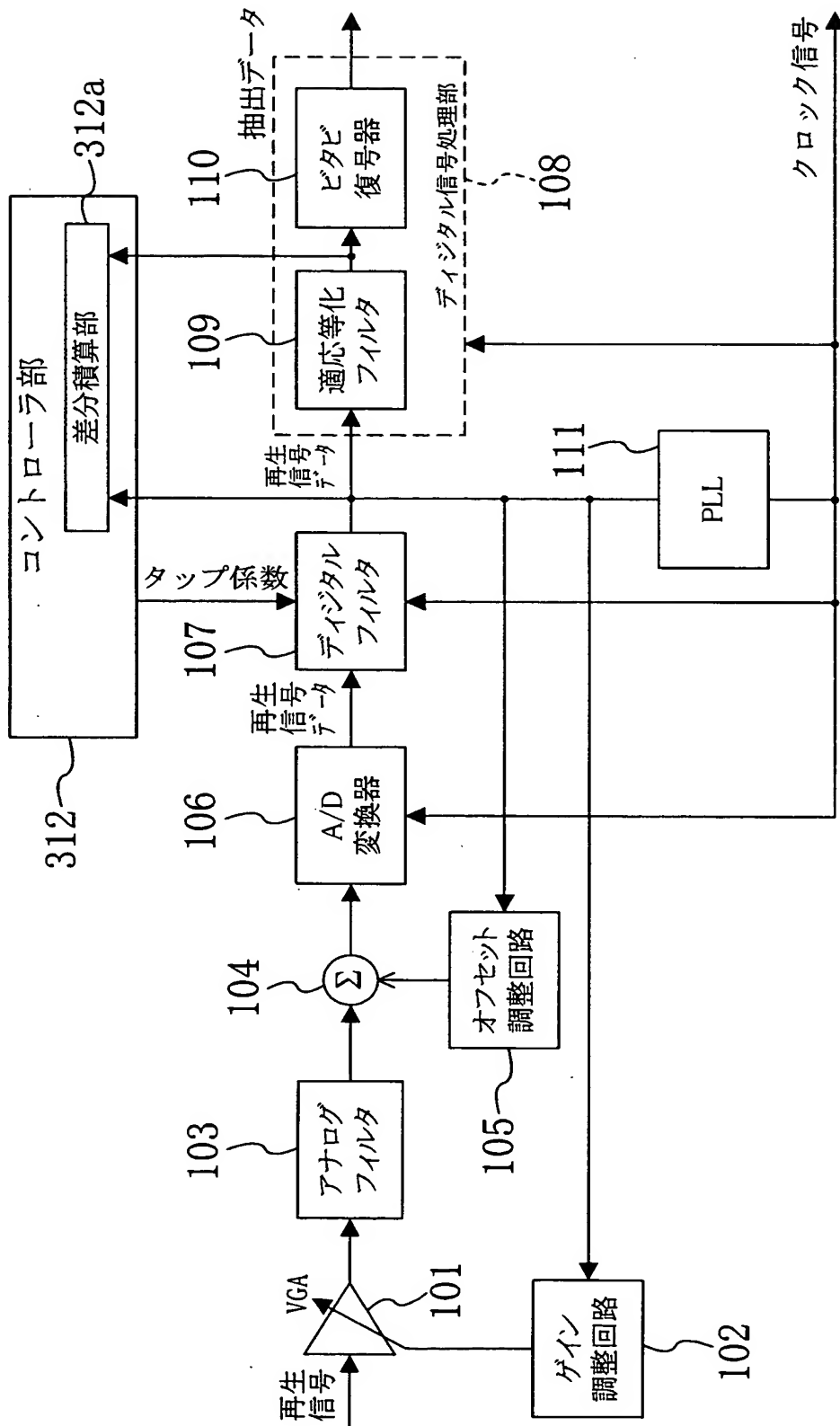
【図 8】



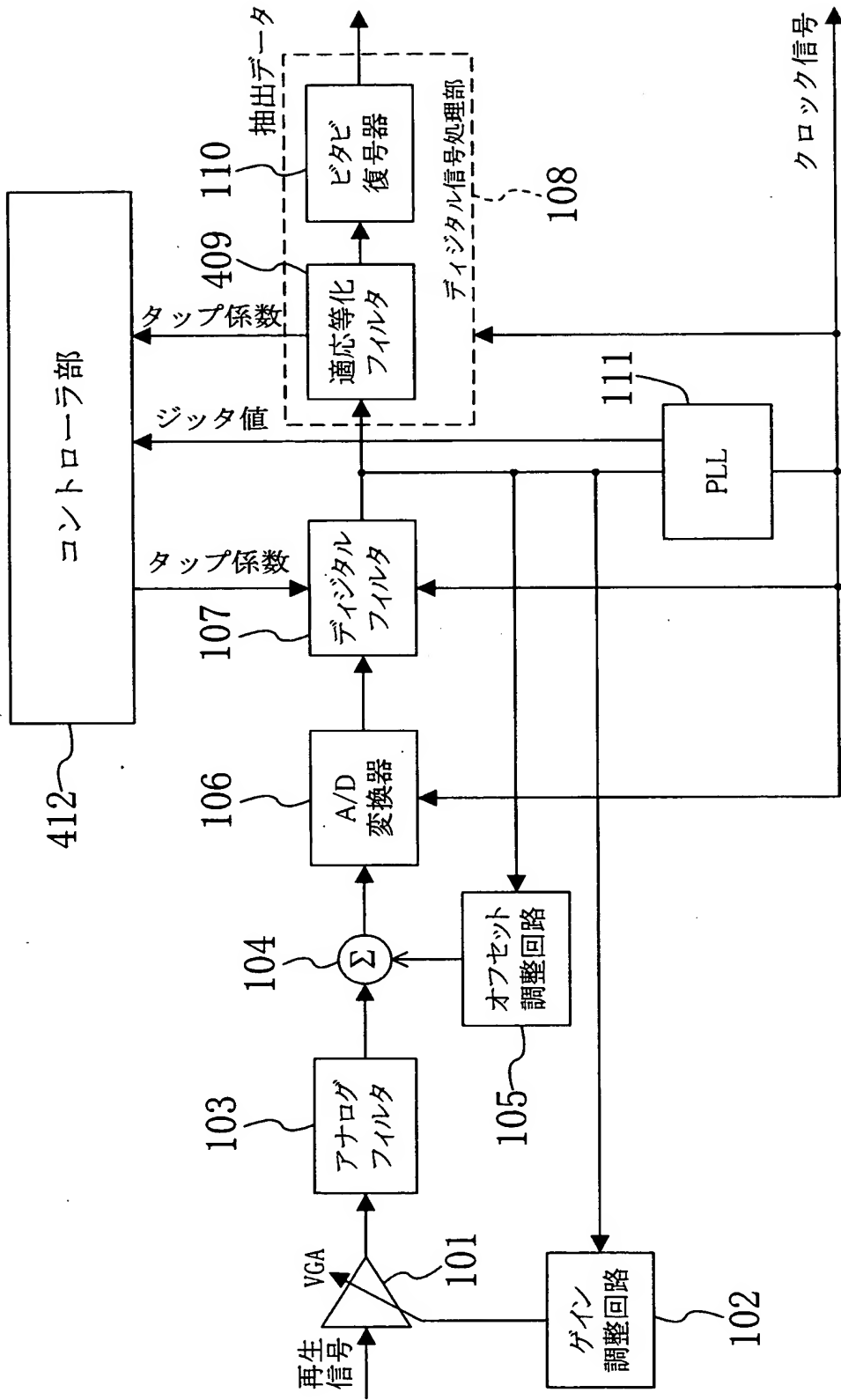
【図9】



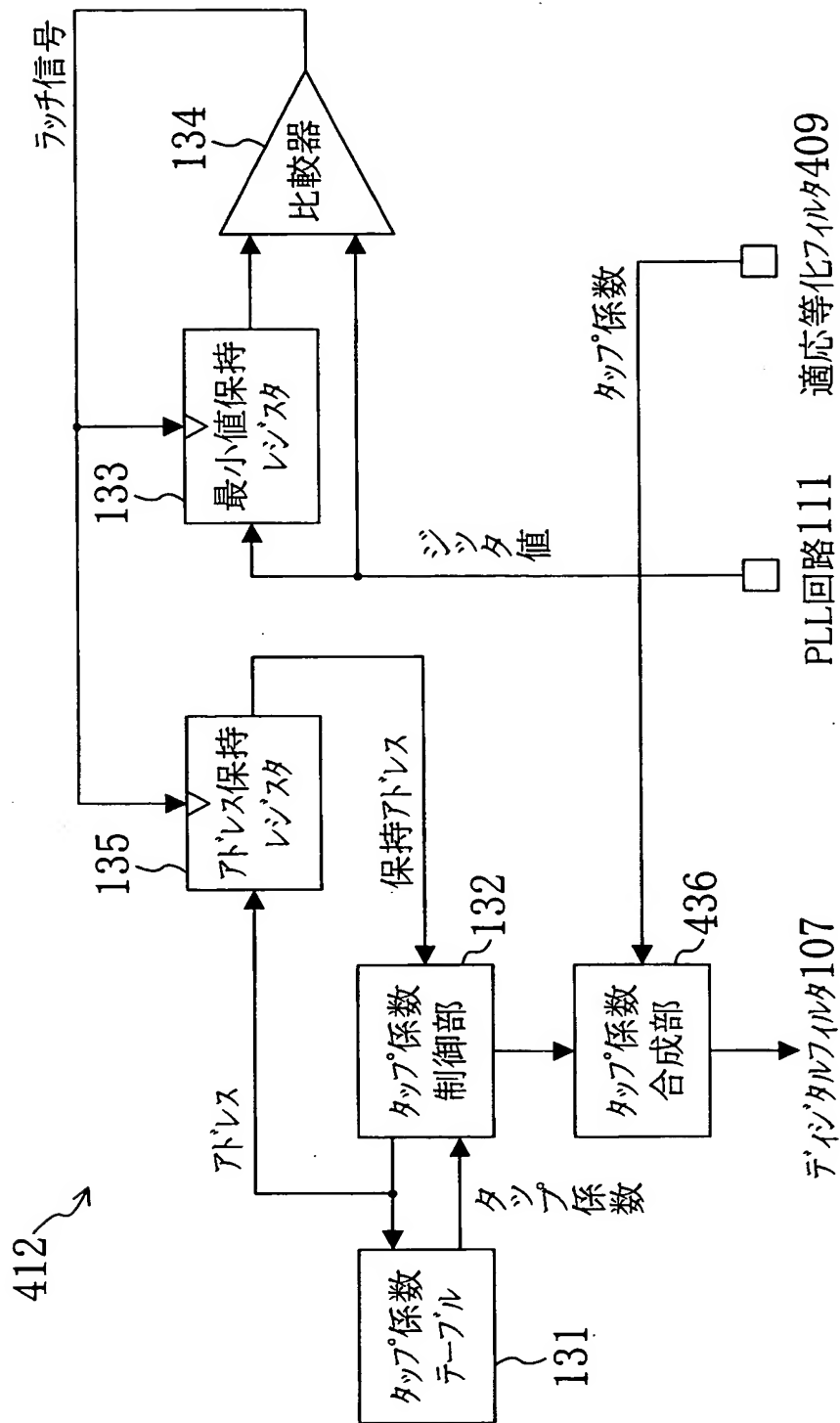
【図10】



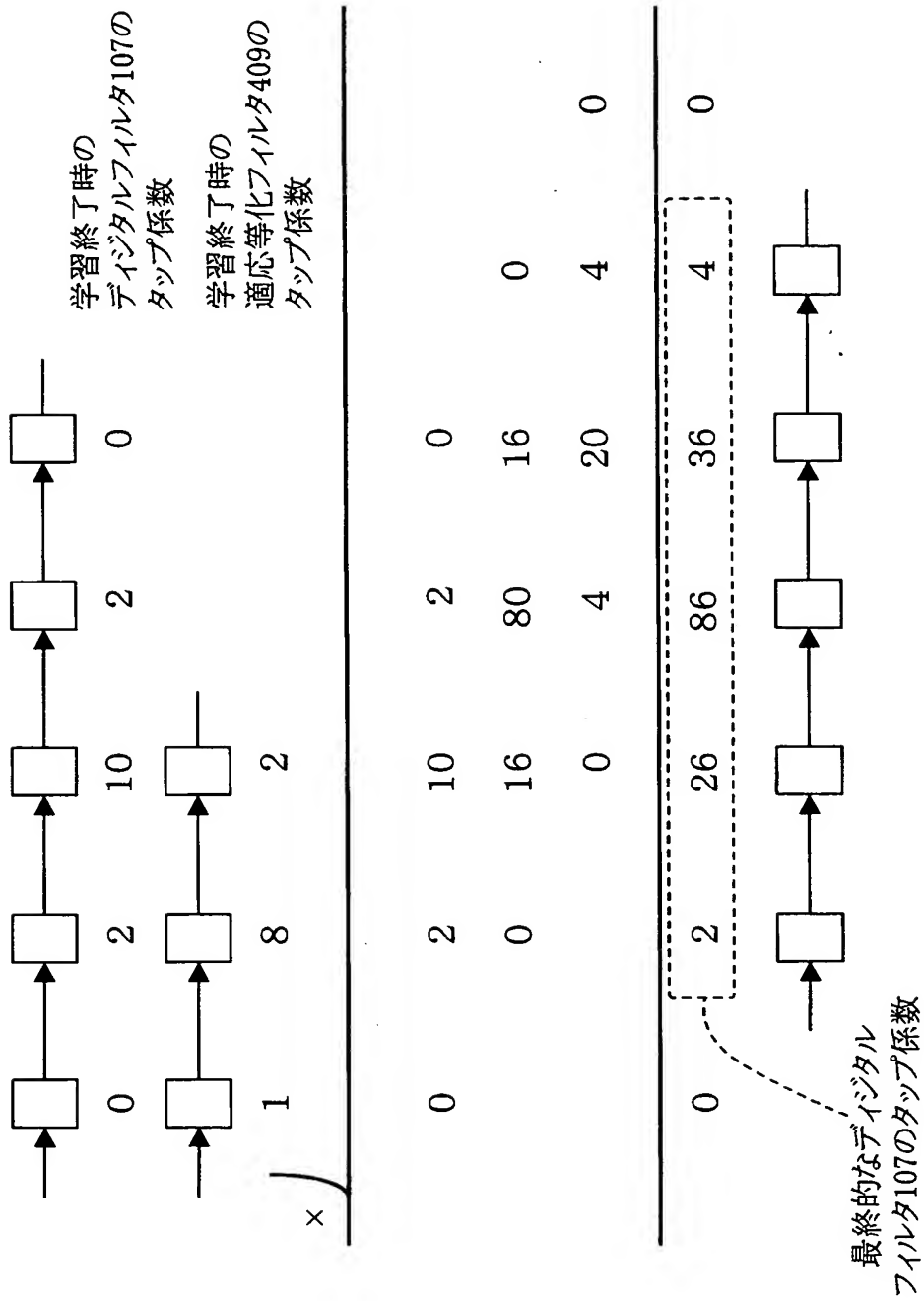
【図 11】



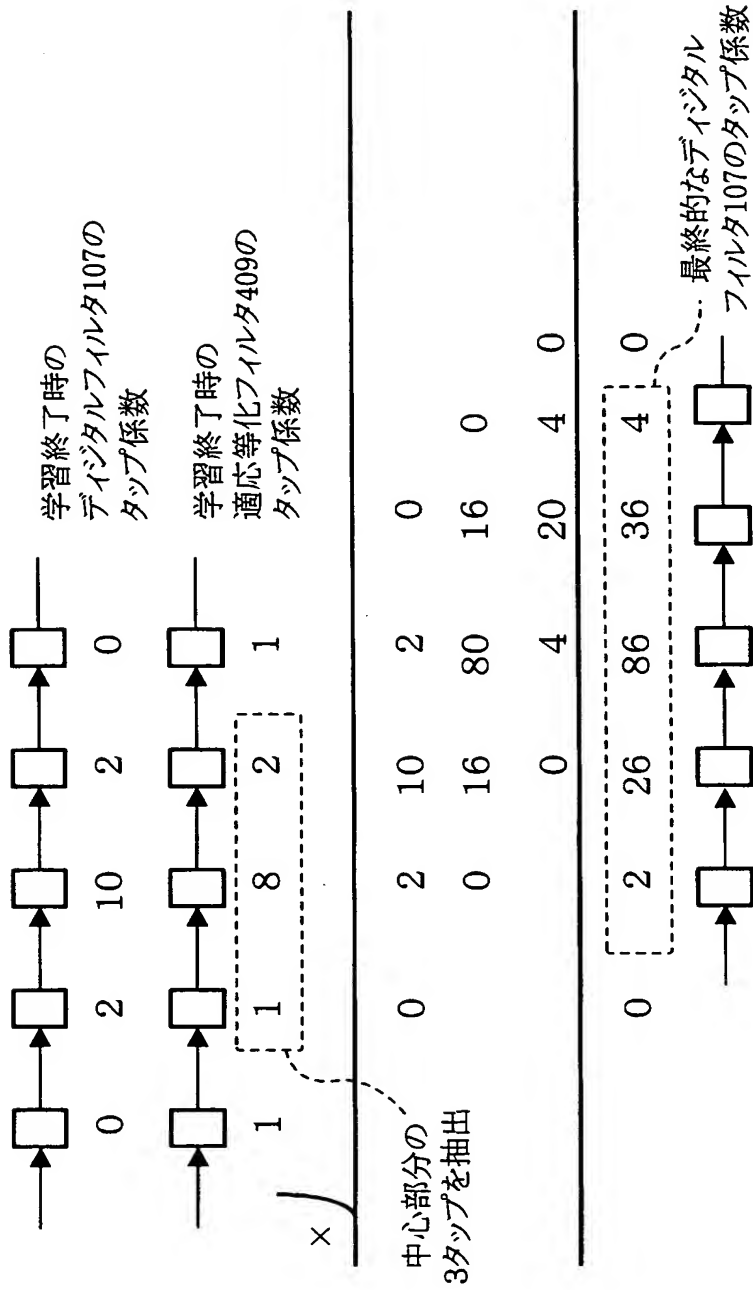
【図12】



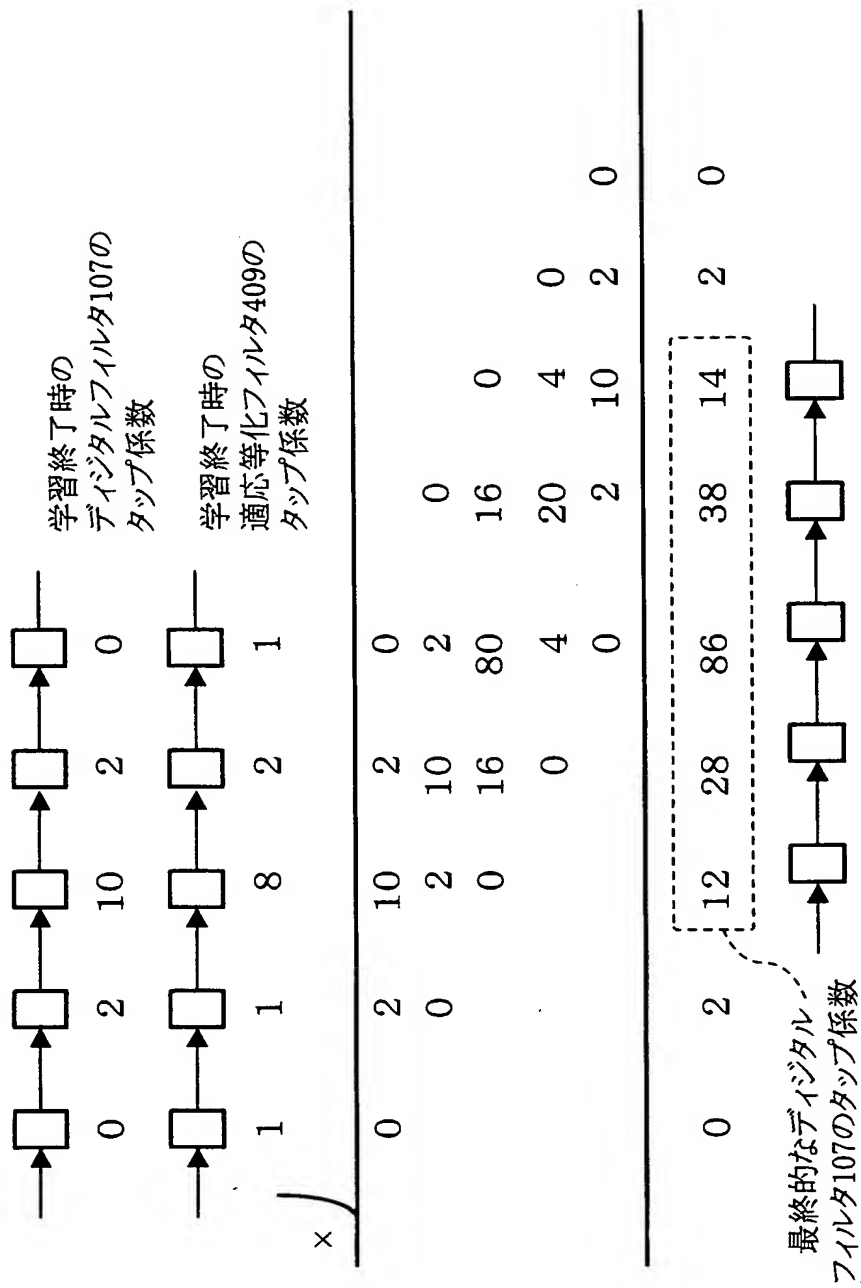
【図 1 3】



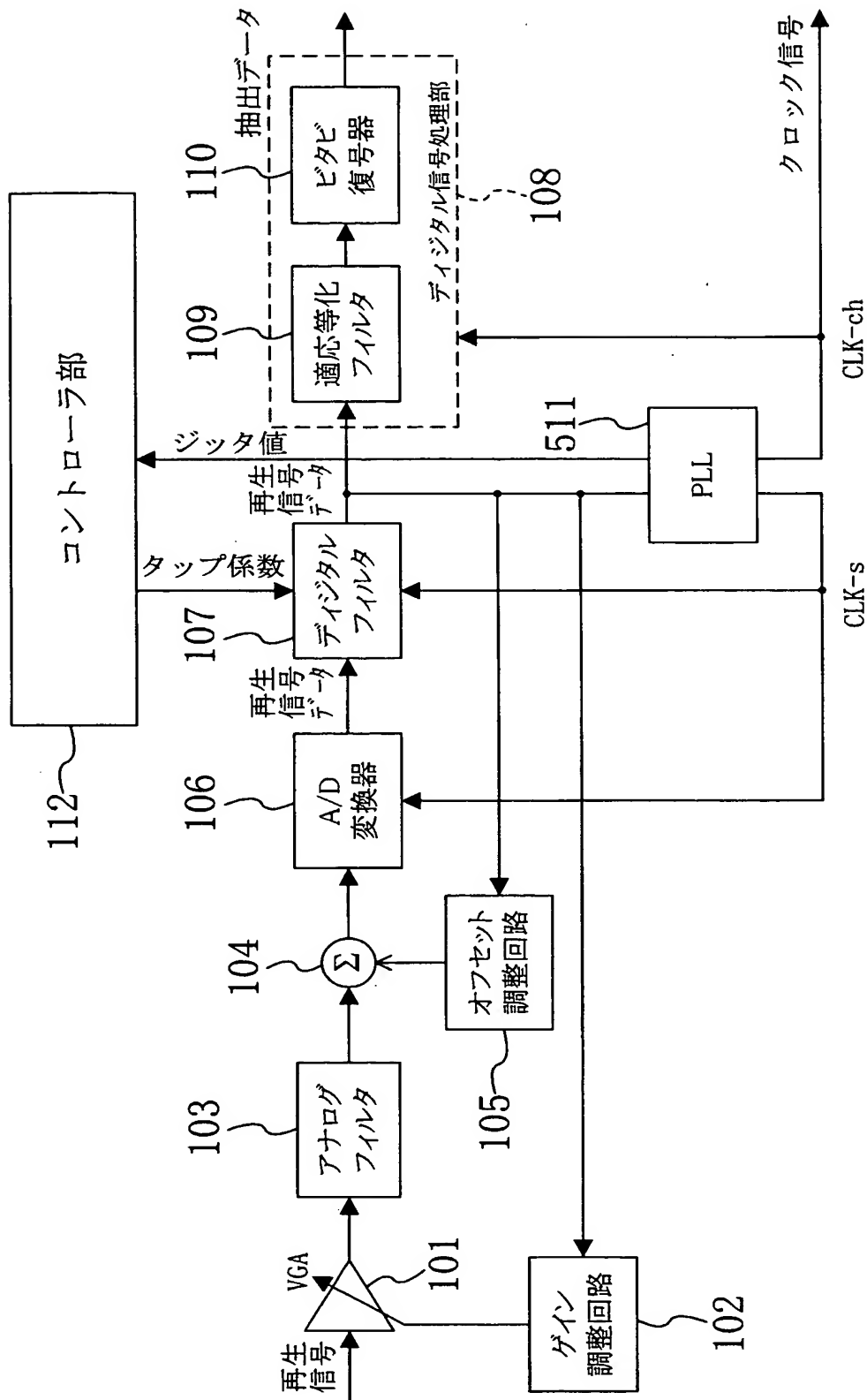
【図 1 4】



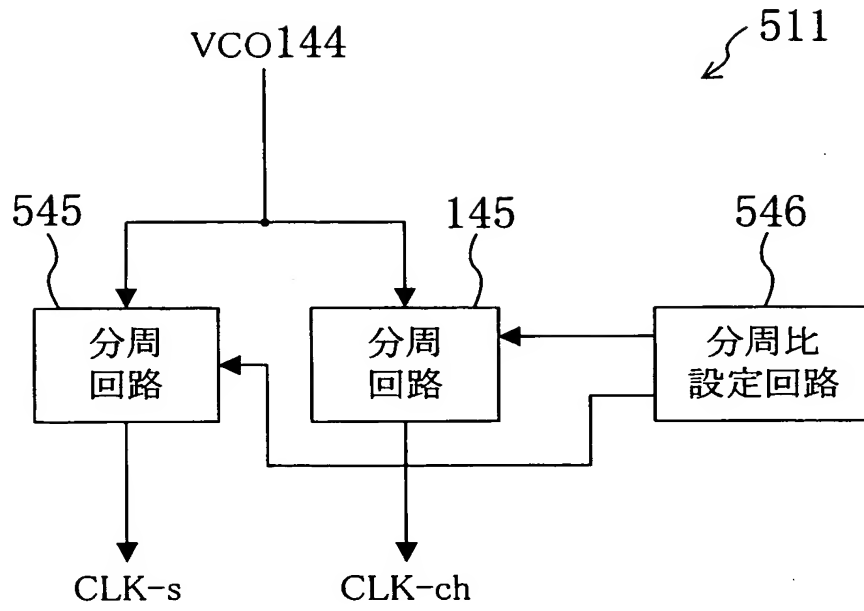
【図15】



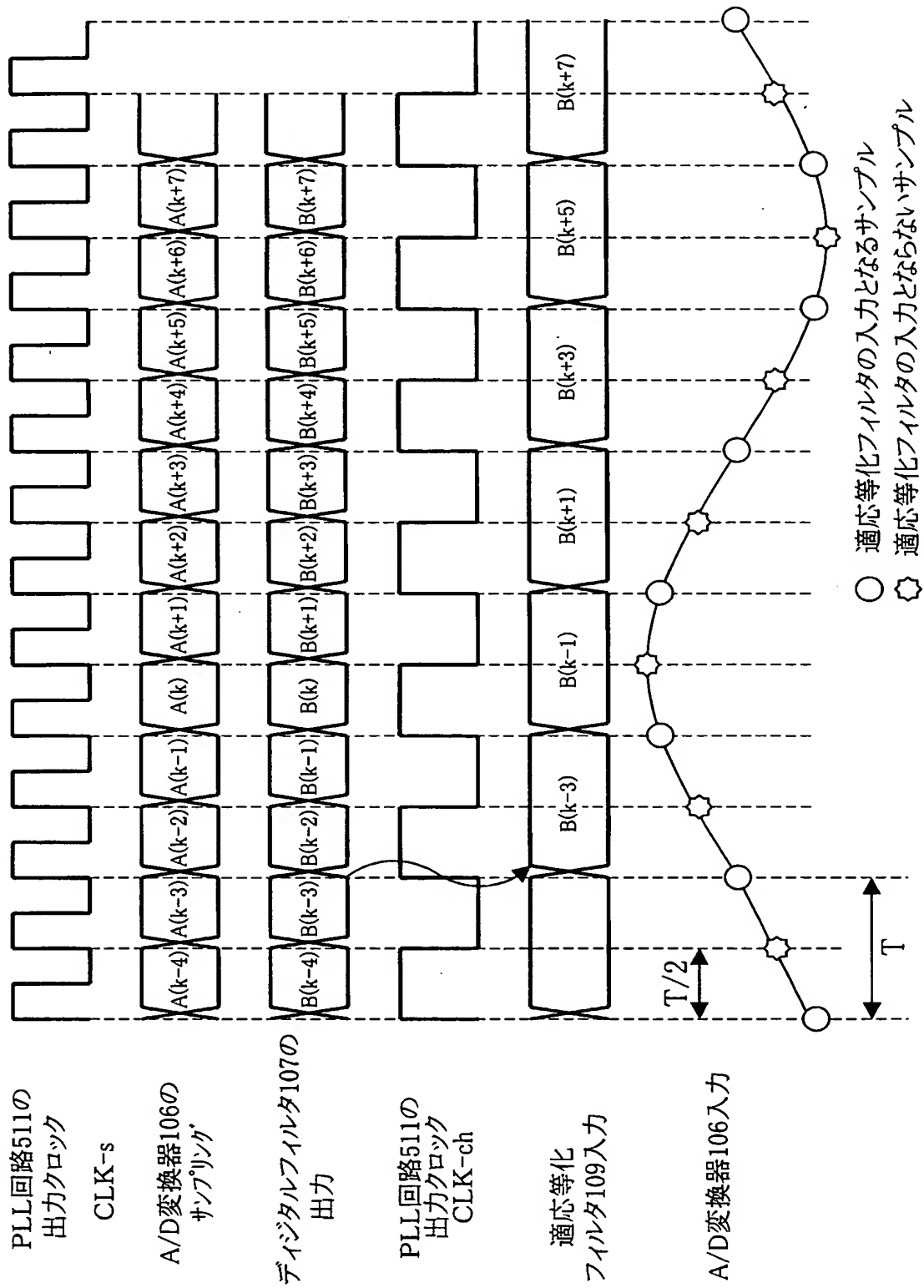
【図16】



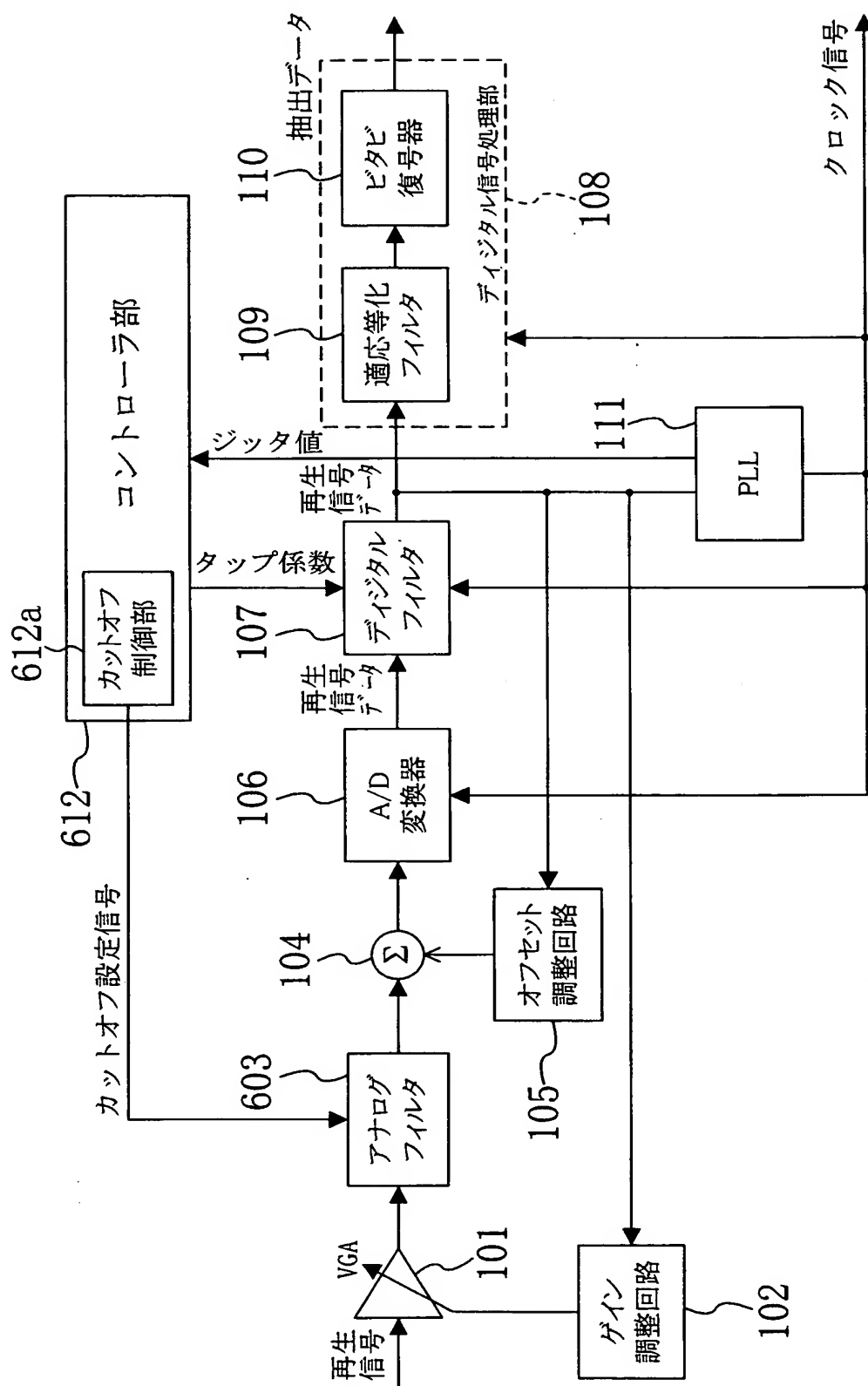
【図 1 7】



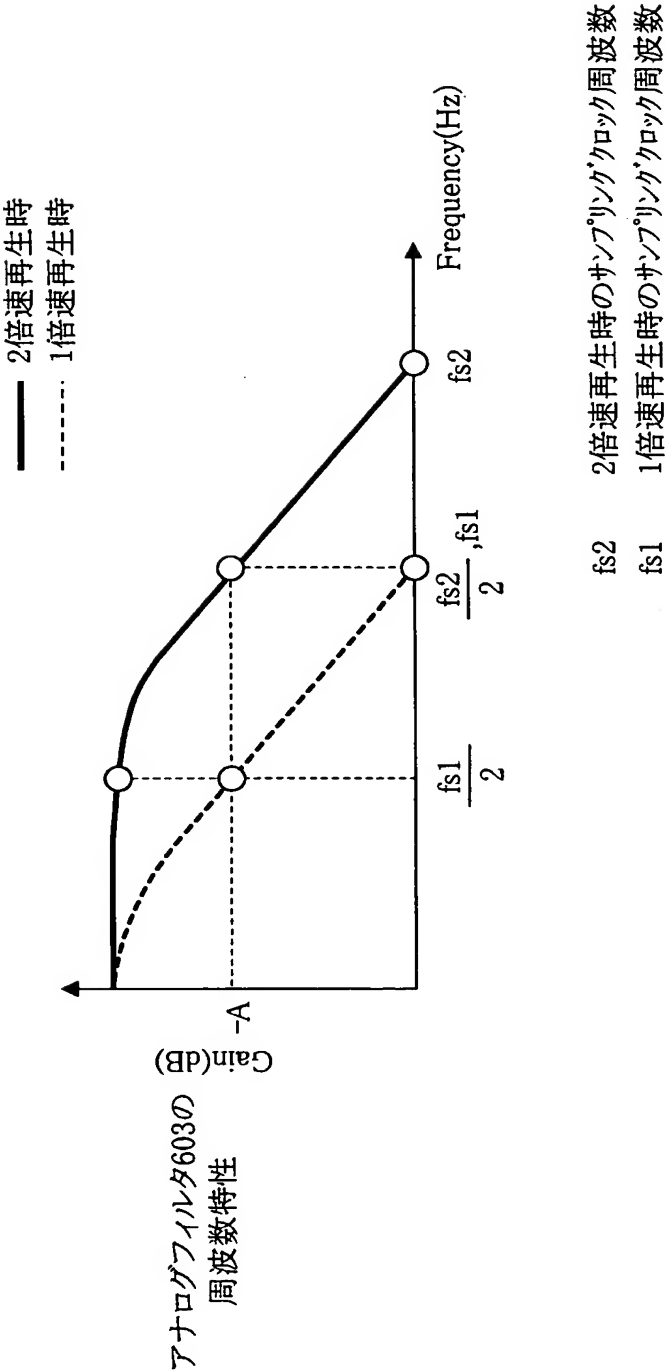
【図 1 8】



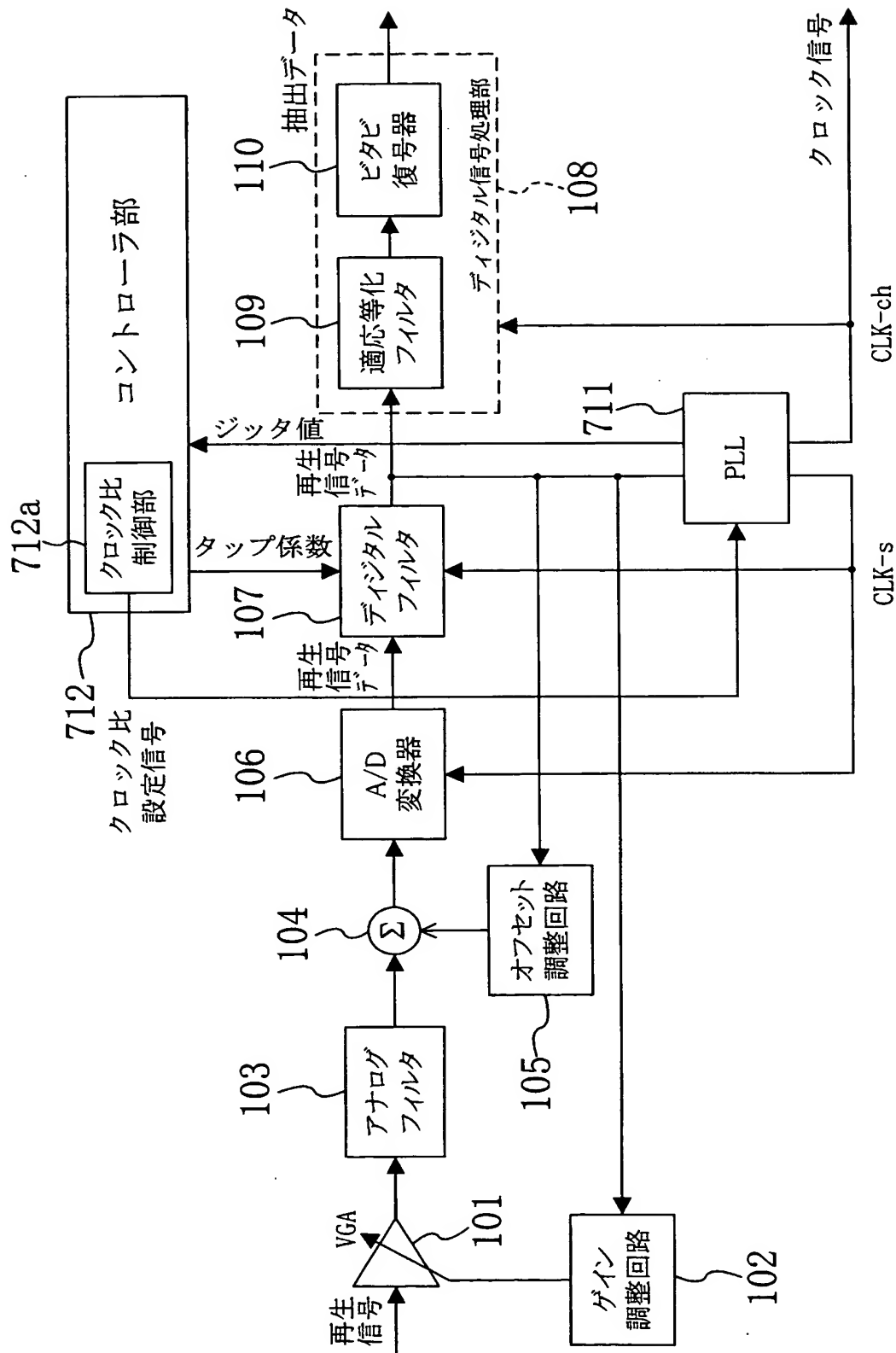
【図 19】



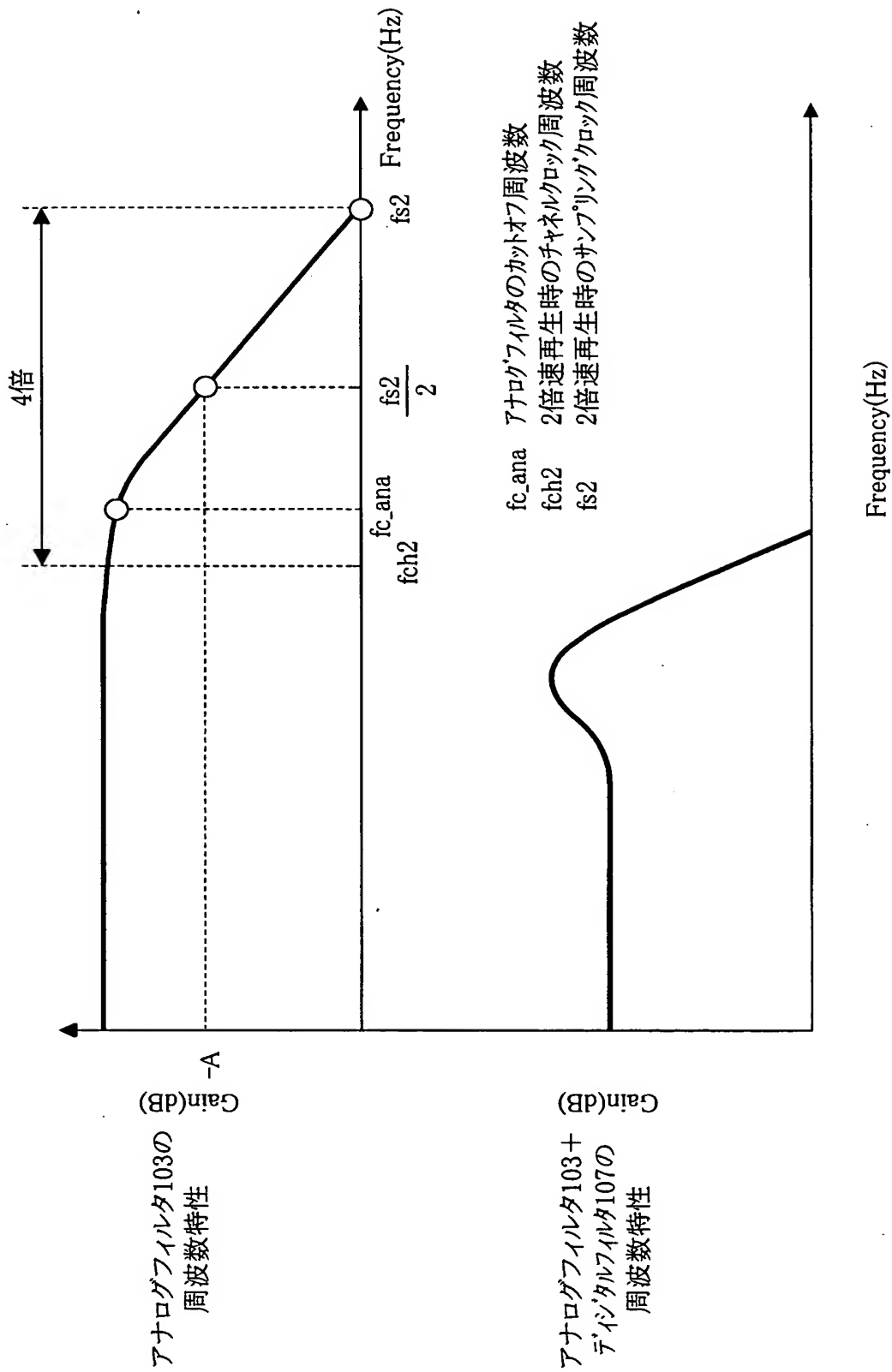
【図 2 0】



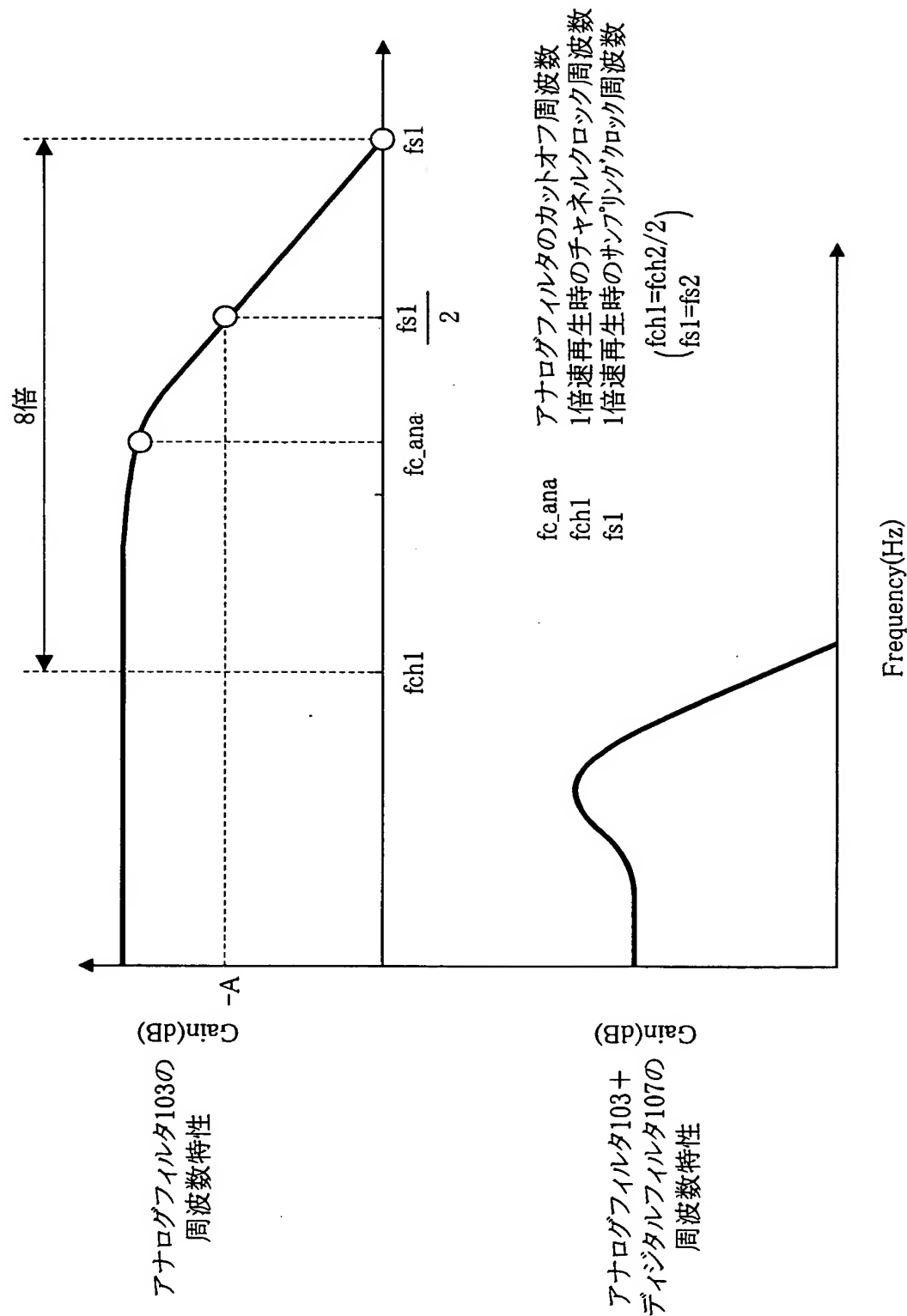
【図 2 1】



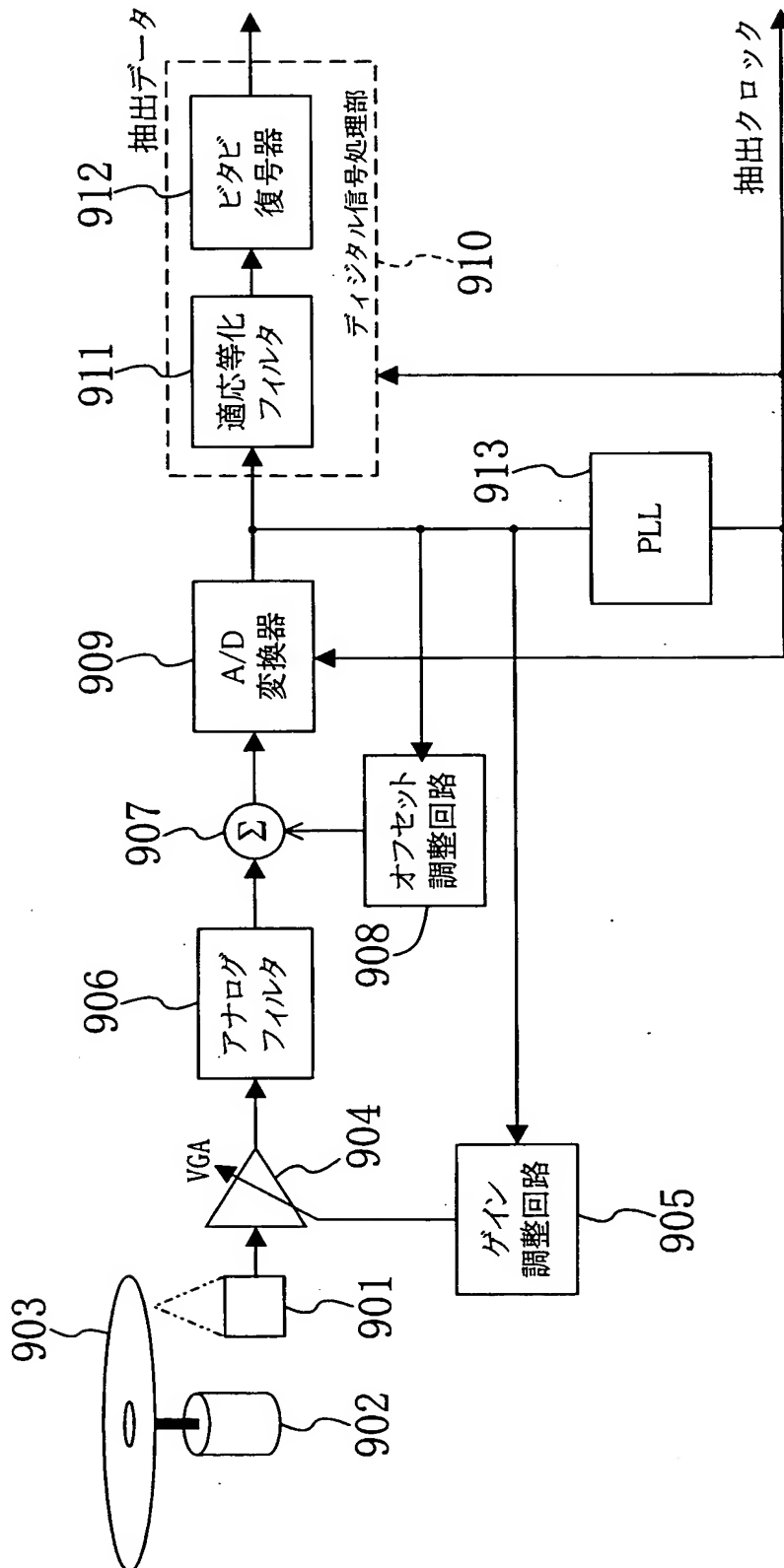
【図 2 2】



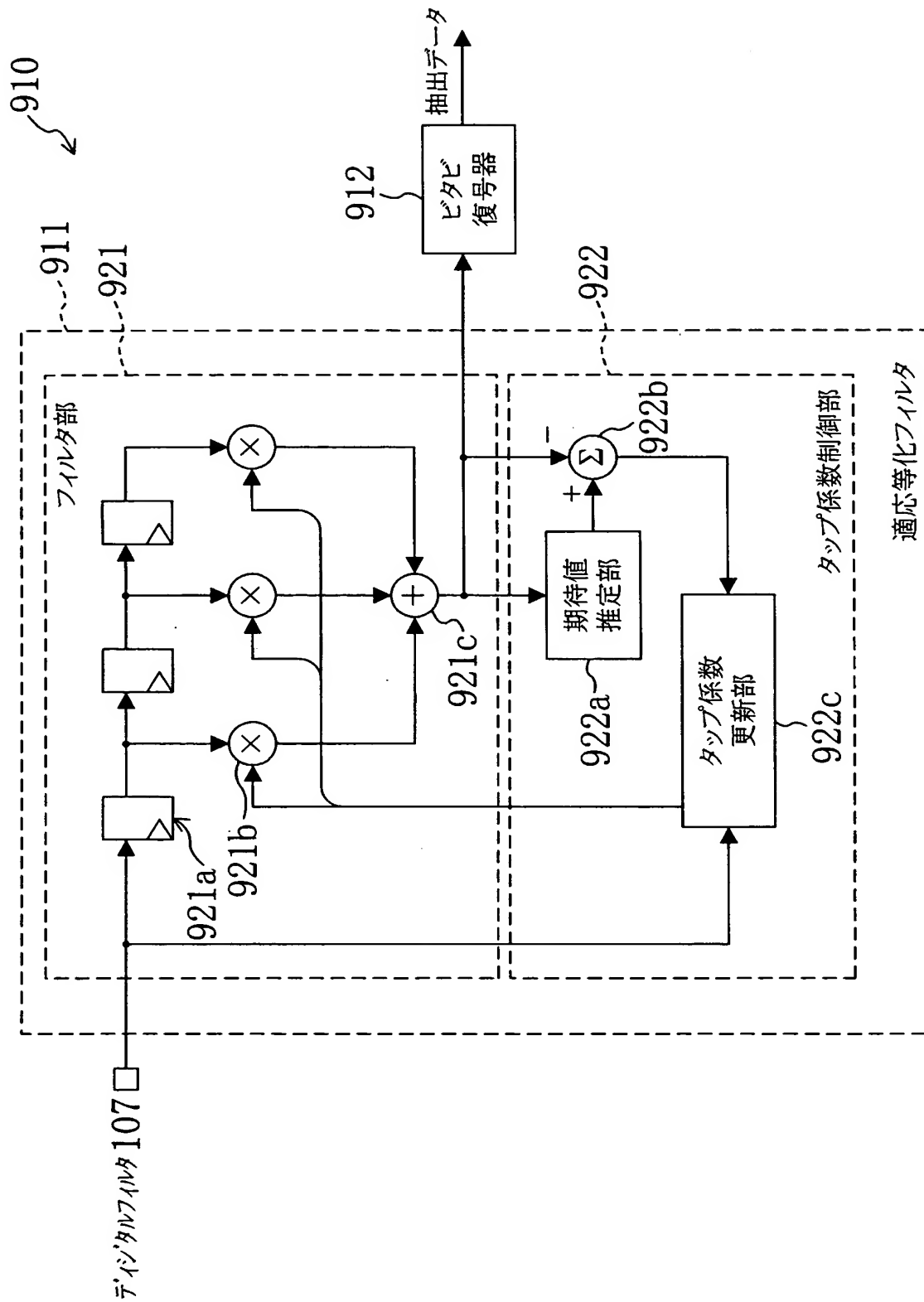
【図 2 3】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 光ディスクに記録されたデータ等の再生を高精度に行えるようにして記録密度を向上させる。

【解決手段】

A/D変換器106と、適応等化フィルタ109およびPLL回路111との間にデジタルフィルタ107が設けられている。アナログフィルタ103は、主としてローパス機能だけを有している。コントローラ部112は、再生に先立つ学習期間に、デジタルフィルタ107に種々のタップ係数を設定して、PLL回路111で検出されるジッタ値が最小になるタップ数を決定する。その決定されたタップ係数が再生時にデジタルフィルタ107に設定されて、最適なブライコライジングが行われ、高精度な記録データの再生が行われる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社